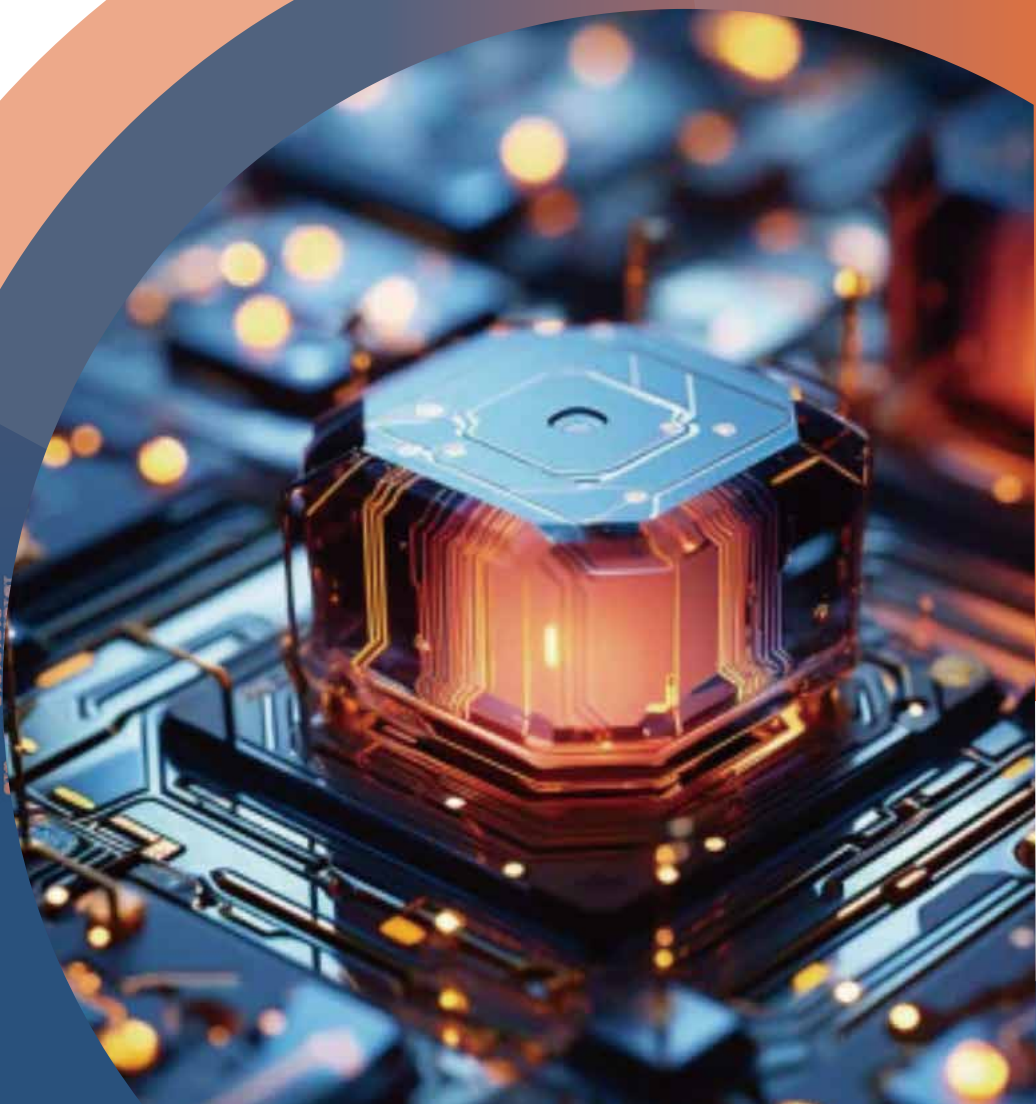


# 天堂之芯

INTEGRATED CIRCUIT NEWS

国家“芯火”双创基地（平台）  
国家集成电路设计杭州产业化基地|孵化器  
浙江省集成电路设计与测试产业创新服务综合体  
浙江省集成电路设计公共技术平台  
浙江省半导体行业协会



# 杭州国家芯火双创基地

National Xinhuo Platform of Hangzhou for Innovation and Entrepreneurship



杭州国家集成电路设计产业化基地有限公司  
杭州国家集成电路设计企业孵化器有限公司

## 引领芯发展 助力芯腾飞

杭州国家“芯火”双创基地(平台)是由国家工信部于2018年3月批复,依托杭州国家集成电路设计产业化基地建设的国家“芯火”平台。平台以产业共性需求为牵引,以公共技术服务为核心,充分整合产业链资源,推动形成“芯片-软件-整机-系统-信息服务”的生态体系,着力提升区域集成电路产业的核心竞争力,推进我国集成电路核心关键技术的自主创新,引导电子信息产业向价值链高端发展。

### 1 平台服务

#### 公共技术平台

由EDA云平台、流片服务子平台、封装测试服务子平台、IP应用服务子平台、芯片应用解决方案子平台等组成。

#### 人才培养平台

协同企业、高校、科研院所等优势资源,开展多层次人才培养、实训,多维度培养集成电路复合型人才。

#### 咨询服务平台

与浙江省半导体行业协会密切协同,为地方各级政府和企业提供行业咨询、信息共享等服务。

#### 整机联动平台

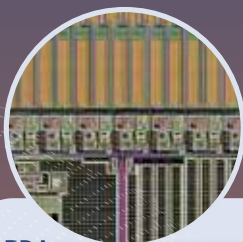
围绕集成电路上下游产业链,推动集成电路企业与系统整机企业供需对接,深化“政产学研用金”高效联动。

#### 企业孵化平台

以“孵小、扶强、引外”为宗旨,搭建孵化空间,聚焦企业痛点、难点,提供专业精准服务。



### 公共技术服务



#### EDA

提供Siemens EDA、Synopsys、Cadence和華大九天等公司全流程的EDA软件服务。



#### 流片

提供台积电、中芯国际、华虹宏力、华润上华、Global Foundries等流片一站式服务。



#### 封测

提供集成电路测试程序开发、晶圆测试、成品测试、失效分析、芯片封装等服务。



#### IP

提供IP设计、验证、测试和SoC集成服务,支持企业进行SoC产业化和应用。

### 2 平台资质

#### 国家集成电路设计杭州产业化基地

National Integrated Circuit Design Industrialization Base (Hangzhou)

中华人民共和国科学技术部

#### 浙江省中小企业公共服务示范平台

Zhejiang Public Service Platform for Small and Medium-sized Enterprises

浙江省经济和信息化厅

#### 浙江省集成电路设计公共技术平台

Zhejiang Public Technology Platform for Integrated Circuit Design

浙江省科技厅

#### 国家集成电路人才培养基地杭州培训中心

National Integrated Circuit Talent Training Base Hangzhou Training Center

工业和信息化部

#### 浙江省集成电路设计与测试产业创新发展联合体

Zhejiang Integrated Circuit Design and Testing Industry Innovation Development Consortium

浙江省科技厅

#### 浙江省集成电路产业技术联盟常务副理事长单位

Zhejiang Integrated Circuit Industry Technology Alliance Executive Director's Office

浙江省集成电路产业技术联盟

#### 面向半导体芯片领域的产业技术基础公共服务平台

Public Service Platform for Semiconductor Industry Technology

工业和信息化部

#### 杭州国家芯火双创基地(平台)

National Xinhuo Platform for Innovation and Entrepreneurship (Platform)

工业和信息化部



# 目录

## CONTENTS

### • 芯动态

- “知芯计划”——集成电路政策及业务专题培训班在杭州顺利举办 — 01  
RISC-V技术交流会成功举办 — 03

### • 芯企业

- 江丰电子:于韩国牙山新建现代化半导体靶材生产工厂 — 05  
东尼电子:扩建年产20万片6英寸碳化硅衬底材料项目 — 06  
星曜半导体:首家5G射频滤波器晶圆厂签约落户温州 — 06  
昭明半导体:年产1亿颗光子集成芯片项目开工 — 07  
金义新区:半导体元器件制造加速器项目开工 — 08  
晶能微电子:项目一期预计明年初建成 — 10  
化讯半导体:浙江嘉善生产基地开工 — 10  
浙江省集成电路 EDA 技术重点企业研究院正式挂牌 — 11  
浙江大学集成电路学院:与芯启源签署战略合作协议 — 12  
驰拓科技:完成12亿元B轮融资 — 14  
前TI高级副总裁谢兵加盟矽力杰担任共同CEO — 14

### • 芯资讯

- SIA:2月份全球半导体销售额同比增长16.3% — 15  
中国第一季度半导体产量增长40% — 17  
中国的芯片产能,将成为全球第一 — 20  
SiC功率器件市场将达100亿美元 — 21  
射频前端芯片原理和用途 — 23  
GPU集群网络、集群规模、集群算力 — 25  
硅光芯片的春天又要来了? — 31  
光刻胶,知多少 — 33  
何为车规级芯片 — 36  
氧化镓的进展 — 39

### • 芯政策

- 杭州市滨江区《关于发展计算产业打造算力强区的若干政策(征求意见稿)》 — 56  
杭州高新区(滨江)科技局发布《关于向社会公众征求关于强化企业创新主体地位的实施意见的公告》 — 59

### • 芯观点

- 什么是时钟芯片 — 61  
一文读懂汽车控制芯片(MCU) — 67

### • 芯伙伴

- 浙江省半导体行业协会 — 74

\*免责声明:

《天堂之芯》杂志转载的文章内容系作者个人观点,仅为传达不同的观点,不代表本杂志对该观点的态度。

## “知芯计划”——集成电路政策及业务专题培训班在 杭州顺利举办



为贯彻落实省委省政府关于集成电路产业发展的决策部署和工作要求，提升我省集成电路产业相关业务部门干部专业能力和管理水平，助推政府的高水平决策部署和精准招商引智，4月24日至4月26日，由浙江省发展和改革委员会、浙江省经济和信息化厅指导，浙江省半导体行业协会、杭州国家“芯火”双创基地（平台）和浙江大学集成电路学院主办的“知芯计划”——集成电路政策及业务专题培训班（一期）在杭州顺利举办。省发展改革委二级巡视员周永泽，省经信厅二级巡视员姚建中，省半导体行业协会秘书长、浙江大学教授丁勇等出席开班仪式，来自我省各设区市、县（市、区）发改和经信部门的150位干部参加培训。





本次培训班从工作政策宣贯、行业知识讲座、地方经验交流、产线实地参观等维度，设置了18节课程，课程内容详实、形式新颖、注重实效，总体体现三方面特点：**一是加强顶层规划，注重政策宣贯。**由行业主管部门，从全省一盘棋的角度出发，解读我省集成电路产业规划、2024年工作要点/重大项目及相关政策等；**二是聚焦产业发展，搭建知识体系。**邀请了多位集成电路产业各环节的专家、学者和企业家，介绍集成电路发展环境、全球产业格局和发展前景，并从设计、制造、封测、材料、设备及零部件等五个业态分析产业基本概念、关键技术和发展趋势；**三是加强经验交流，强化实操本领。**邀请了多位省内集成电路平台园区负责人，分享产业培育和项目招引经验，为学员们提供有益的参考和借鉴，并组织学员赴省CMOS集成电路创新平台现场学习，提升了干部对产业的认知和执行能力。



参训学员纷纷表示，本次培训与工作实际紧密结合，重点突出、务实管用、干货满满，是一次“充电蓄能”之行、“取经交流”之行。接下去要以此次培训为契机，贯彻落实在本次培训中学习到的政策，扎实推进2024年集成电路产业重点工作，切实把学习成效转化为做好本职工作的生动实践，为我省集成电路产业快速发展作出更大贡献。下一步，将常态化开展“知芯计划”集成电路业务轮训，打造高水平的干部队伍，助推我省集成电路产业高质量发展。





## RISC-V技术交流会成功举办



4月23日下午,由芯来科技主办,浙江省半导体行业协会、杭州国家“芯火”双创基地(平台)、聚光中心麦田孵化器协办的RISC-V技术交流会在滨江区聚光中心成功举办,来自集成电路企业及相关单位50余人参加了本次会议。

本次技术交流主要聚焦RISC-V指令的关键技术演进和生态进展,就当前AI、汽车应用、信息安全、软硬件等领域趋势展开深入讨论。







会上，芯来科技CEO彭剑英就RISC-V生态发展及应用趋势，介绍了芯来科技在产业化落地过程中的发展情况。本次会议除了芯来科技的技术专家们与大家分享安全、车规、AI应用等方面成果，还邀请了芯来科技行业伙伴矽力杰、广立微、微纳核芯、芯芒科技进行专题分享。

矽力杰带来“RISC-V 在车载ECU上的发展趋势”，针对汽车市场Car-OEM以及国内主流的tier1表达了对于车规RISC-V的看法和考量，同时从RISC-V MCU的整体方向阐述其看法及布局；广立微带来“助力国产RISC-V IP测试—DFTEXP国产DFT全流程实现平台”，重点介绍了DFTEXP平台特点及DFT流程实现；微纳核芯以“RISC-V与存算一体协同发展”的角度，从存算一体技术引入，强调RISC-V与SRAM数字存算一体技术的优势互补，并展示了在产学研协同方面的成果；芯芒科技为大家带来“RISC-V SoC软硬件快速建模方法与应用”，展示了Mosim仿真平台对于芯片提前开发及软硬件性能优化的显著作用。



主题分享之外，交流会现场互动氛围热烈，大家就RISC-V领域热门方向进行了友好交流与探讨。

本次研讨会集聚创新资源，搭建企业交流合作平台，就RISC-V领域加强产业链上下游的对接交流，加强RISC-V产业生态建设，进一步推动RISC-V产业发展。下一步，浙江省半导体行业协会、杭州国家“芯火”双创基地（平台）将围绕产业链上下游关键环节与重要领域，组织多场技术探讨会，强化企业间交流合作，推动集成电路产业上下游协同创新发展。

## 江丰电子：于韩国牙山新建现代化半导体靶材生产工厂

近日，江丰电子与韩国牙山市政府成功签署了投资合作协议，计划投资3.5亿元在牙山市新建一座现代化的半导体靶材生产工厂。这一合作协议的签署标志着双方在半导体领域的合作正式进入实质性阶段，将共同推动全球半导体产业的蓬勃发展。

在工厂建设过程中，江丰电子将严格遵循国际标准和环保要求，确保产品质量的卓越和环境保护的可持续性。工厂建成后，将专注于高端半导体靶材的研发、生产和销售，致力于提供高品质、高性能的半导体材料，将有助于江丰电子更好地满足全球靶材市场日益增长的需求。



韩国牙山市政府对此次合作给予了高度重视和大力支持。牙山市市长朴慶贵在签约仪式上表示，江丰电子作为全球知名的半导体材料供应商，入驻牙山市将为当地经济发展注入新的动力。牙山市政府将提供全方位的支持和帮助，确保工厂的顺利建设和运营。

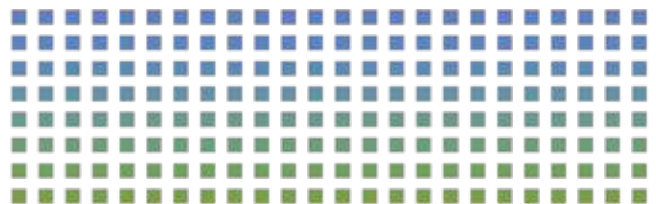
江丰电子选择牙山市作为新工厂的建设地点，是基于对该地区产业环境、市场潜力以及政府支持的全面考虑，将充分利用牙山市的地理优势和产业资源，结合公司的技术实力和市场经验，打造一座高效、环保、可持续发展的现代化生产工厂，为进一步扩大生产规模、提升市场竞争力奠定基础。



未来，江丰电子与牙山市政府将继续加强合作，深化交流，探索更多合作领域和模式，携手应对全球半导体市场的挑战和机遇，共同开创更加美好的未来。



(来源：宁波江丰电子材料股份有限公司)





## 东尼电子：扩建年产20万片6英寸碳化硅衬底材料项目

据湖州市生态环境局官网，日前，湖州市生态环境局公示了对东尼电子扩建SiC项目的环评文件审批意见。

文件显示，东尼电子扩建年产20万片6英寸碳化硅衬底材料项目位于湖州市吴兴区织里镇，由旗下全资子公司东尼半导体负责建设。东尼半导体计划利用东尼五期厂区的厂房进行扩建，购置包括长晶炉、研磨机、超声波清洗机在内的421台/套晶体生产加工设备及检测仪器，以形成年产20万片碳化硅衬底材料的生产能力。

据悉，浙江东尼电子股份有限公司始创于2008年，2017年在上交所主板上市，专注于超微细合金线材、金属基复合材料及其它新材料的应用研发、生产与销售。公司生产的产品主要应用于消费电子、医疗、太阳能光伏、新能源汽车、半导体新材料五大领域。

(来源：大半导体产业网)

## 星曜半导体：首家5G射频滤波器晶圆厂签约落户温州

据温州日报日前报道，由星曜半导体主导的年产12万片5G射频滤波器硅基晶圆片项目签约落户温州湾新区，标志着温州首家晶圆厂即将诞生，也是星曜半导体实现射频滤波器芯片从自主设计到自主生产的重要一环。

浙江星曜半导体有限公司成立于2022年1月，前身是浙江信唐智芯科技有限公司，总部坐落在温州，是一家专注于射频滤波器芯片和射频前端模组研发、生产和销售的高科技企业。



据悉，一直以来，射频滤波器产业化进程因其专利壁垒高、产品类别多、设计与制造工艺难度大、供应链复杂等原因而进步缓慢，尤其是其中的高阶产品TC-SAW和BAW更是成为限制国产射频滤波器产业化的瓶颈。

在此背景下，星曜半导体坚持走自主研发路线，拥有完整的自主知识产权，申请专利超过50余项，以中高端射频产品为重点。基于SAW、TC-SAW、BAW技术，星曜半导体已开发30多款成熟滤波器、双工器、四工器等芯片产品，产品性能均达到国内领先、国际一流水平。据其年初公布的消息显示，公司多款产品已顺利量产交付客户，月交货量超过2000万颗，且正在迅速增长中。

此外，星曜半导体还推出了若干技术难度极高、国内稀缺的滤波器和模组芯片产品，如TF-SAW Band3/-Band2/Band25/Band28F，BAW n78/n79NB/n79F/WiFi6E以及GPS LFEM等。

自成立以来，星曜半导体的实力也获得了资本市场的认可。根据官方披露的消息，星曜半导体已先后于2022年3月、2022年9月、2023年1月分别完成了亿元A轮战略融资、上亿元战略融资、数亿元战略融资。在资本市场的支持下，逐步增强综合实力，更好地开展产品研发、团队建设、设备购置、流片与测试等。

本次配套晶圆制造基地项目总投资约7.5亿元，规划用地面积约60亩。项目投产后，能减少晶圆加工生产对外依赖，助力形成稳定产能。

未来，随着产品线的进一步丰富以及5G射频滤波器硅基晶圆片项目的顺利建设与实施，星曜半导体在更好地满足5G射频市场需求的同时，也有望助力国内射频滤波器芯片发展和产业化进程，加速打造“中国滤波器芯片”，推动国产滤波器芯片在5G通信各领域广泛应用。

(来源:温州日报)

## 昭明半导体:年产1亿颗光子集成芯片项目开工

4月8日下午，浦江县举行昭明半导体年产1亿颗光子集成芯片项目开工仪式暨浦江县2024年项目建设第一次攻坚行动现场会，动员全县上下以“开局就要奔跑、起步就要跃进”的精气神，全面吹响项目建设“冲锋号”，为浦江发展进一步夯实“稳”的基础、增添“进”的动能。





县委书记、县长胡作滔致辞并宣布项目开工。县领导郑文红、张建顺、钱福安、郑燎原、赵仕党，昭明半导体（浙江）有限公司董事长刘勇出席。县委常委、常务副县长龚涛涛主持。

胡作滔指出，项目是经济社会发展的“细胞”和“基石”。去年以来，我县深入开展“项目建设提速年”活动，滚动推进、大干快上，固定资产投资创五年新高，有力推动全县经济社会高质量发展。2024年是新中国成立75周年，是实现“十四五”规划目标任务的关键一年，全县上下要牢固树立“项目为王”理念，再接再厉、实干争先，推动政策向项目倾斜、要素向项目集中、重心向项目聚焦，全面掀起新一轮“大抓项目、大干项目”热潮。

胡作滔强调，要以“势如破竹、分秒必争”的奋进姿态抓项目建设，紧盯节点抓进度，保质保量保安全，一对一、点对点做好服务、做优环境，优质高效排忧解难，助推项目早开工、早建成、早投产。要以“全力以赴、精准出击”的主动作为抓项目招引，聚焦发展新质生产力，着力抓龙头、引总部、聚相关，推动传统产业迭代、新兴产业抢滩、未来产业争先，打造更具竞争力的产业集群。要以“先行一步、前瞻布局”的系统思维抓项目谋划，主动融入国家战略和省市发展大局，结合县域实际和产业发展需要，大胆创新谋项目，建立“适度超前、特色鲜明、条目清晰、动态管理”的项目谋划储备库，加快形成“储备一批、开工一批、建设一批、投产一批”的良性循环格局。

据悉，2024年第一次攻坚行动项目32个，总投资108.2亿元，年度计划投资31.9亿元，涵盖制造业、教育、市政、交通、能源、文旅等多个领域。其中，制造业项目16个，总投资69.8亿元，年度计划投资15.1亿元。

此次开工的昭明半导体年产1亿颗光子集成芯片项目总投资约26.5亿元，分两期建设。项目全面达产后预计实现年销售收入20亿元、税收约1.2亿元。

（来源：浦江发布）

## 金义新区：半导体元器件制造加速器项目开工

4月18日，金义新区举行半导体元器件制造加速器项目开工仪式。金义新区党工委委员、管委会副主任，副区长潘钢刚参加。



据了解，半导体元器件制造加速器项目是省“千项万亿”重点项目，同时也是我区2024年度重点项目之一，总投资15亿元，占地面积104.17亩，建筑面积21万平方米，规划建设7栋主体建筑。项目位于集科创研发、高教孵化、智能制造等多功能为一体的金漪湖科技创新策源地，毗邻金华科技城、金华理工学院，金义快速路近在咫尺，位置优越，交通便捷。



该项目采用双首层的设计理念，设置汽车坡道及平台，平台高度与三层楼面齐平，可使三层企业用户享受首层的交通便利性。项目建成后，将用于承载半导体元器件科创领域科技成果孵化，实现“孵化器+加速器”功能，进一步拓展新区项目招引的空间，实现筑巢引凤的同时，助力新区信创产业做优做强、构建发展新格局。



今日之新区，聚势而强、加速蝶变、活力奔涌。近年来，新区牢固树立“项目为王”理念，大抓项目、抓大项目，区投资促进中心、区招商服务公司等相关部门围绕信创及视频类硬件、新能源及其上下游全产业链、高端装备制造三大主导产业，坚持细分跑道精准招引，做优做实服务，健全要素保障，以“干就干一流、做就做极致”的拼劲闯劲，持续掀起“大干快上、以干促上、实干至上”热潮，加快推动新区产业突围、项目突破、赶超发展。

(来源：看见金东)



## 晶能微电子：项目一期预计明年初建成

据嘉兴日报消息，相关负责人表示，晶能微电子项目自今年2月第一根桩机打下之后加紧作业，预计4月中下旬完成打桩，3号模组厂房主体9月底完工，2号FAB厂房10月底完工，整个一期项目计划于2025年初建成。

据悉，晶能微电子项目总投资50.17亿元，分两期实施。项目一期占地95.4亩，总投资21.3亿元，包括6英寸FRD晶圆制造项目和半桥塑封模块制造项目。其中：6英寸FRD晶圆制造项目将建设年产48万片的6英寸FRD晶圆生产线及相关配套；半桥塑封模块制造项目将规划年产60万套高性能塑封半桥模块制造生产线及相关配套为建设内容，投产后预计实现年产值12.5亿元。

据了解，浙江晶能电子有限公司是吉利旗下的功率半导体公司，在吉利全球产业资源支持下，构建了行业领先的研发与制造体系，围绕电动汽车和可持续能源等应用场景进行了全链条技术布局。

(来源：嘉兴日报)

## 化讯半导体：浙江嘉善生产基地开工



2024年4月20日上午，“化材承芯 讯启未来”，化讯半导体全资子公司浙江化讯半导体材料有限公司新建225吨泛半导体先进封装材料生产基地，开工奠基仪式隆重举行。

该基地位于浙江省嘉善县国家级经济技术开发区，拟投资1.7亿元，占地35.04亩，建筑面积23,360平方米，力争打造业内领先的泛半导体先进电子材料智能工厂。嘉善县委常委、副县长陶红亚、嘉善县各局主要领导、开发区主要领导、产业界专家合作伙伴、化讯半导体员工共150余人出席活动。

(来源：芯榜)

## 浙江省集成电路 EDA 技术重点企业研究院正式挂牌

近日，依托广立微建设的浙江省集成电路 EDA 技术重点企业研究院正式挂牌，成为目前浙江EDA领域唯一的省级重点企业研究院。



浙江省重点企业研究院由省科技厅在全省范围内组织评定，每年不超过50家，是省内企业优化创新资源配置，突破关键核心技术瓶颈，补强产业链创新短板，促进产业链优化提升的重要研发机构。去年11月，通过层层审核和答辩，杭州广立微电子股份有限公司申报建设的浙江省集成电路 EDA 技术重点企业研究院正式获批。

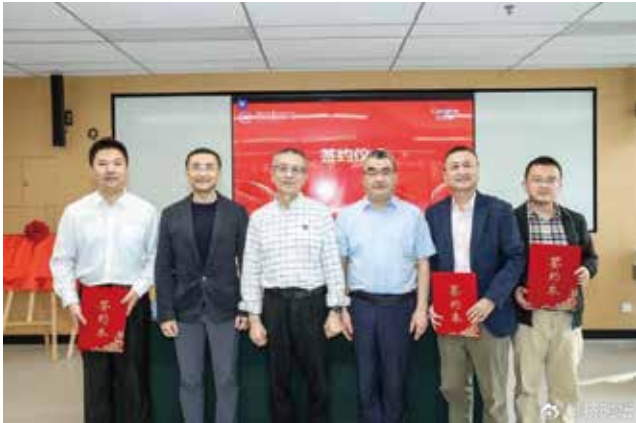
研究院成立后，广立微将进一步加大投入，围绕**芯片成品率全流程解决方案、集成电路智能制造系统、DFT（可测性设计）工具、DFM（可制造性设计）工具、集成电路片上监测系统**等EDA领域的关键技术组织攻关，尽早开发出一批具有自主知识产权和国际领先技术水平的EDA产品，打造产业链重要环节的技术创新优势，为实现我国集成电路产业的自主可控和高质量发展贡献重要力量。

（来源：滨江数字健康小镇）



## 浙江大学集成电路学院：与芯启源签署战略合作协议

4月15日，在美丽的西子湖畔，芯启源集团旗下的芯启源（上海）半导体科技有限公司、芯云晟（杭州）电子科技有限公司与浙江大学集成电路学院共同签约，正式宣布建立长期战略合作伙伴关系，将发挥各自优势，深入贯彻实施创新驱动发展战略，共同推动人才培养、科技创新和成果转化，促进集成电路产业持续健康发展，推进数智化建设进程，助力新质生产力。浙江大学集成电路学院院长、中国工程院院士吴汉明、党委书记王国雄，副院长张睿，芯启源电子科技有限公司创始人卢笙、总裁邓伟利及学院师生代表共同参加了本次活动，会议由浙大集成电路学院党委副书记闵浩宇主持。



吴汉明院士表示，芯启源在智能网络技术、数字仿真与验证等领域取得令人瞩目的成绩，是国产集成电路企业的优秀代表，与芯启源的战略合作，将为浙大集成电路学院师生提供良好的科研实践基地和人才交流平台，同时赋能企业培养高质量集成电路人才，加速科技成果转化、科技难题攻关和新产品落地。未来，双方将共同打造前沿科技培训课程和探索集成电路先进技术，塑造我国集成电路产业产学研融合的新典范。



卢笙先生表示，吴院士领衔的浙大集成电路学院具有雄厚的科研实力和广泛的行业影响力，很高兴双方将共同探索校企合作新模式，携手推动集成电路产业人才培养和科技创新及实践，相信此次合作将壮大芯启源集团的科研人才储备，加速公司“产学研”布局，进一步完善公司产业生态建设，对公司的全面发展战略产生深远影响。



签约仪式后，浙江大学集成电路学院聘请卢笙先生为学院兼任研究员，并为参会师生做了《降低能耗提升算力：DPU加速数据中心变革》的报告。



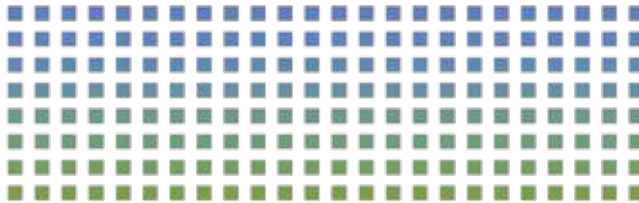
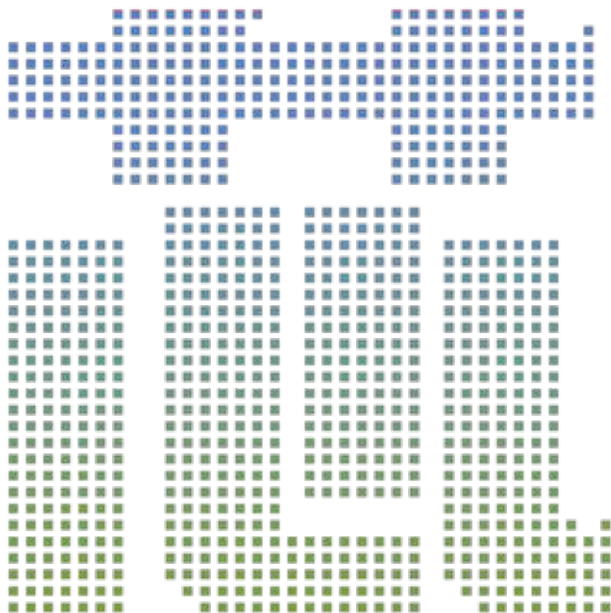
根据合作协议，芯启源（上海）半导体科技有限公司与浙江大学集成电路学院共建“数字仿真与原型验证联合实验室”，将立足于研究集成电路的数字仿真与原型验证技术和原理，整合产学研用资源，助力培养相关领域的专业人才，提升我国在数字仿真与原型验证领域的技术水平和影响力。



芯云晟（杭州）电子科技有限公司与浙江大学集成电路学院共建“新一代智算网络技术联合实验室”，将以集成电路、网络通信、大数据及人工智能等领域为基础，围绕智能网络技术及应用、网络安全技术及应用、智慧类解决方案技术及应用三大方向开展研究，相辅相成，融会贯通，打通前沿技术研发端与产业应用端的通路，进而以芯云晟产品落地实践反哺技术研发，克服科研成果产业化难题，形成从技术研发到产品落地的高效双向循环。

在数智时代，大学是培育产业人才和进行教育创新的基地，更是推动前沿技术迭代演进和科研探索的重要平台。芯启源将秉持合作共赢的理念，与浙江大学等高校伙伴携手探索“芯”征程，继续深化产学研的融合交流，打造更多聚合前瞻思想与前沿趋势的培训课程，厚植自身科技实力，不断培育和聚集产业高端人才，持续攀登集成电路技术高峰。

（来源：科技时坛）



## 驰拓科技：完成12亿元B轮融资

近日，浙江驰拓科技有限公司B轮融资签约大会在杭州顺利召开。会上，诚通混改基金、诚通国调基金、国调科改基金、国新综改基金、浙江金控、湖州信创、尚颀资本与驰拓科技签订了增资合同，本轮融资12亿元。

据悉，驰拓科技B轮募集资金将用于系列化产品开发、技术能力提升、工艺平台优化、市场开拓和行业资源整合，进一步加速研发和产业化进程，引领新型存储行业科技创新，完善MRAM产业生态布局。

资料显示，驰拓科技成立于2016年，专注于新型存储芯片及相关芯片的研发、生产和销售，面向物联网、人工智能、工业控制及汽车电子等领域提供半导体芯片和应用解决方案。拥有12英寸新型存储芯片中试线，成功开发独立式存储芯片和嵌入式IP等系列产品并可提供90/40/28nm多个先进工艺节点下的芯片设计、工艺研发、流片、测试分析等全方位服务。

(来源：大半导体产业网)

## 前TI高级副总裁谢兵加盟矽力杰担任共同CEO

矽力杰4月10日晚间发布公告称，任命游步东和谢兵为矽力杰共同执行长暨总经理，即日起生效。



资料显示，谢兵毕业于西安电子科技大学，获电子工程学士学位，并于1994年取得美国南卡罗来纳州克莱姆森大学 (Clemson University) 国际商业工商管理硕士学位。

谢兵于1999年加入TI，时任华北区销售经理，之后陆续担任北美和中国等地多项销售职务。从2007

年起，谢兵开始担任TI中国区总裁负责全面管理 TI 在中国的运营。2011年谢兵兼任大中华区总经理，职责包括台湾地区的销售与营销管理。2020年7月，谢兵从TI退休。

2024年，1月13日，汇顶科技发布公告称，谢兵因个人原因辞去汇顶科技第四届董事会董事及战略委员会委员职务。

在加入德州仪器之前，谢兵曾经先后效力于惠普、Bay Networks和3Com公司。

矽力杰成立于2008年，总部位于杭州，主要从事高功率密度、高效率电源管理等高性能模拟类芯片设计，是亚洲最大的独立模拟芯片设计公司。矽力杰目标将打造全球领先的国际模拟IDM芯片龙头，进入全球模拟芯片产业前三。

公告显示，矽力杰2024年3月营收15.2亿元新台币，年增15.83%，第一季度累计应收38.42亿元新台币，年增11.87%。

(来源：集微网)

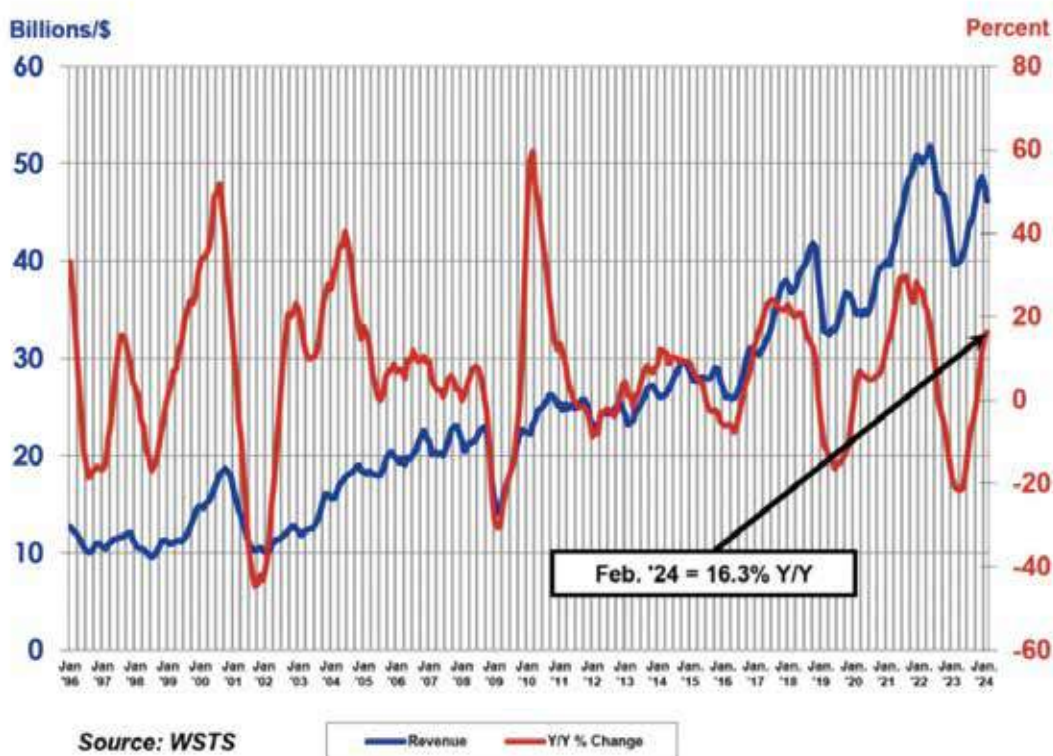


## SIA:2月份全球半导体销售额同比增长16.3%

半导体行业协会(SIA)宣布,2024年2月全球半导体行业销售额总计462亿美元,与2023年2月的397亿美元总额相比增长16.3%,但比2024年1月的476亿美元总额下降3.1%。每月销售额由世界半导体贸易统计(WSTS)组织编制,代表三个月移动平均值。按收入计算,SIA占美国半导体行业的99%,占非美国芯片公司的近三分之二。

### Worldwide Semiconductor Revenues

Year-to-Year Percent Change



SIA总裁兼首席执行官John Neuffer表示:“尽管月度销售额略有下降,但2月份全球半导体销售额仍远高于去年同月的总销售额,延续了市场自去年年中以来强劲的同同比增长。2月份的销售额同比增长,是自2022年5月以来的最大百分比,预计今年剩余时间市场增长将持续下去。”

从地区来看,中国(28.8%)、美洲(22.0%)和亚太/所有其他地区(15.4%)的同比销售额有所增长,但欧洲(-3.4%)和日本(-8.5%)的销售额同比下降。所有市场的月度销售额均下降:亚太地区/所有其他地区(-1.3%)、欧洲(-2.3%)、日本(-2.5%)、美洲(-3.9%)和中国(-4.3%)。

2023年全球半导体产业经历了长达一整年的“低位运行”,高库存、低需求、降投资、减产能持续在各个细分板块轮动。庆幸的是,2023年四季度开始,似乎已经看到了新一轮景气周期开启的曙光。面对2024年,全球多家分析机构无一例外给出同比上涨的预期,最乐观的是超过20%的增长,平均增速预测值也超过两位数百分比。

但不得不承认,在购买力需求不佳、通货膨胀等一系列因素影响下,全球半导体产业中短期内尚无法“快速反弹”,2024年大概率呈现“整体稳步恢复,细分领域结构性分化调整”的态势。

以下是IDC对2024年全球半导体产业发展趋势的分析和预判。

## 2024年全球半导体市场将呈现八大发展趋势

市场研究机构IDC最新研究显示,随着全球人工智能、高效能运算(HPC)需求的爆发式增长,以及智能手机、个人计算机、服务器、汽车等市场的需求回暖,半导体产业将迎来新一轮增长浪潮。该机构预测2024年半导体市场将呈现八大发展趋势。

1、2024年半导体市场将复苏。2024年存储器市场减产推动产品价格上涨,加上高价高带宽内存(HBM)渗透率提升,这两个因素将成为市场增长的动力。伴随着终端市场逐步回暖,AI芯片供不应求,预计2024年半导体市场销售额呈现增长趋势,年增长率达20%。

2、先进驾驶辅助系统和车用信息娱乐系统驱动车用半导体市场发展。虽然整车市场增长速度有限,但汽车智能化与电动化趋势明显,这为半导体市场注入驱动力。预计2027年先进驾驶辅助系统年复合增长率达19.8%,占该年度车用半导体市场的30%。在汽车智慧化与联网化驱动下,2027年该细分领域年复合增长率达14.6%,占比达20%。越来越多的汽车系统将依赖芯片,对半导体的需求稳定增长。

3、半导体AI应用扩展至个人终端。随着半导体技术的进步,预计2024年有越来越多的AI功能被整合到个人终端中,AI手机、AI个人电脑、AI穿戴设备兴起。个人终端在AI导入后将有更多创新应用,对半导体的需求将进一步增加。

4、IC设计“去库存化”逐渐终止。亚太地区IC设计产品广泛多样,应用范畴遍布全球,虽然因为“去库存化”进程漫长,2023年市场表现较为平淡,但产业在多重压力的影响下仍显韧性,积极探索创新和突破的途径。除了在智能手机领域持续深耕外,企业纷纷切入AI与汽车应用赛道,以期适应快速变化的市场环境。随着全球个人终端市场逐步复苏,该细分领域将有新的成长机会,预计2024年市场增长率达14%。

5、晶圆代工先进制程需求飞速增长。晶圆代工产业受市场库存调整影响,2023年产能利用率大幅下滑,尤其28nm以上的成熟制程需求下滑较为明显。不过,受部分消费电子需求回暖与AI爆发需求提振影响,12英寸晶圆厂已于2023年下半年逐步复苏。在领军企业的加速发展以及终端需求逐步回升的共同作用下,2024年该细分领域将实现双位数增长。

6、成熟制程价格竞争将加剧。2023年下半年至2024年上半年,工控与车用芯片在短期内有“去库存化”的需求,而这两个领域芯片以成熟制程大宗生产为主,这将让成熟制程晶圆代工厂重掌议价权。

7、2.5/3D封装市场爆发式增长。半导体芯片性能不断提升,先进封装技术日益重要,先进封装与先进制程技术相辅相成,持续推进产业突破摩尔定律边界,让半导体产业发生质的提升,从而促使市场快速成长。预计2023年至2028年,2.5/3D封装市场年复合增长率达22%,这是半导体封装测试领域需要重点关注的方向。

8、晶圆级封装(CoWoS)供应链产能扩张促使AI芯片供给充足。AI浪潮带动服务器需求飙升,先进封装技术CoWoS发挥重要作用。目前,CoWoS供需缺口仍有20%。到2024年下半年,CoWoS产能将增加130%,届时有更多厂商积极投入CoWoS供应链,这些因素都将促使2024年AI芯片供给更加充足,成为AI芯片发展的重要推动力。

(来源:半导体产业纵横)

## 中国第一季度半导体产量增长40%

据统计消息显示，中国第一季度半导体产量激增40%，标志着成熟制程芯片在中国市场的主导地位日益巩固。

根据中国国家统计局公布的最新数据，仅三月份全国集成电路产量就高达362亿片，同比增长28.4%，创下历史新高。

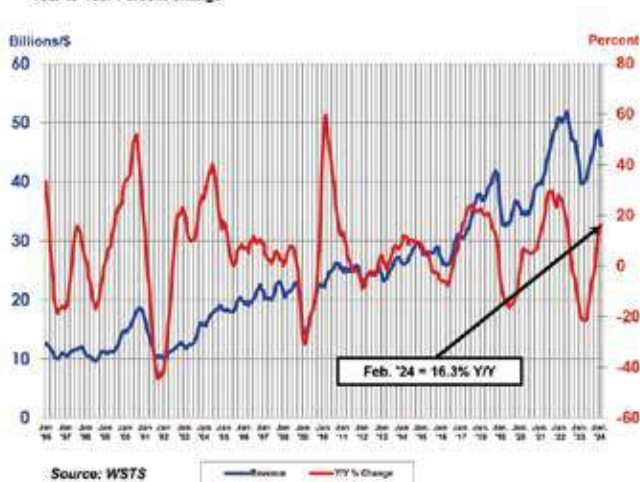
这一惊人增长的背后，新能源汽车等下游行业的强劲需求功不可没。第一季度，中国新能源汽车产量增长了29.2%，达到了208万辆；同时，智能手机产量也增长了16.7%。中国大陆在汽车等多个领域广泛采用28纳米以上的成熟制程半导体（7nm等先进制程使用范围并不多），目前已占据全球生产能力的29%。

近年来，中国各地半导体生产设施如雨后春笋般涌现，中国的集成电路生产能力不断扩大。今年前三个月的产量几乎是2019年同期的三倍。

一些研究人员指出，美国对中国先进芯片技术出口管制的意外后果之一可能是国家支持的投资浪潮导致生产过剩，进而可能使中国主导全球传统芯片生产。

## 中国芯片销售，同比大增28.8%

半导体行业协会 (SIA) 昨天 (4月3日) 宣布，2024 年 2 月全球半导体行业销售额总计 462 亿美元，较 2023 年 2 月的 397 亿美元增长 16.3%，但较之 2024 年 1 月的 476 亿美元下降 3.1%。

Worldwide Semiconductor Revenues  
Year-to-Year Percent Change

“虽然环比销售额略有下降，但2月份全球半导体销售额仍远远领先于去年同月的总额，延续了市场自去年中期以来的强劲同比增长势头。”SIA总裁兼首席执行官John Neuffer说道。“2月份的销售额同比增长幅度为2022年5月以来的最大百分比，预计市场增长将在今年剩余时间内持续增长。”

从地区来看，中国(28.8%)、美洲(22.0%) 和亚太/所有其他地区(15.4%)的同比销售额有所增长，但欧

洲(-3.4%)和日本(-8.5%)的销售额同比下降。所有市场的月度销售额均下降：亚太地区/所有其他地区(-1.3%)、欧洲(-2.3%)、日本(-2.5%)、美洲(-3.9%) 和中国(-4.3)%。

February 2024			
Billions			
Month-to-Month Sales			
Market	Last Month	Current Month	% Change
Americas	12.64	12.14	-3.9%
Europe	4.42	4.32	-2.3%
Japan	3.67	3.57	-2.5%
China	14.76	14.13	-4.3%
Asia Pacific/All Other	12.15	12.00	-1.3%
<b>Total</b>	<b>47.63</b>	<b>46.17</b>	<b>-3.1%</b>
Year-to-Year Sales			
Market	Last Year	Current Month	% Change
Americas	9.95	12.14	22.0%
Europe	4.47	4.32	-3.4%
Japan	3.90	3.57	-8.5%
China	10.97	14.13	28.8%
Asia Pacific/All Other	10.40	12.00	15.4%
<b>Total</b>	<b>39.70</b>	<b>46.17</b>	<b>16.3%</b>
Three-Month-Moving Average Sales			
Market	Sep/Oct/Nov	Dec/Jan/Feb	% Change
Americas	12.59	12.14	-3.5%
Europe	4.72	4.32	-8.4%
Japan	3.90	3.57	-8.4%
China	14.44	14.13	-2.1%
Asia Pacific/All Other	12.28	12.00	-2.3%
<b>Total</b>	<b>47.92</b>	<b>46.17</b>	<b>-3.7%</b>



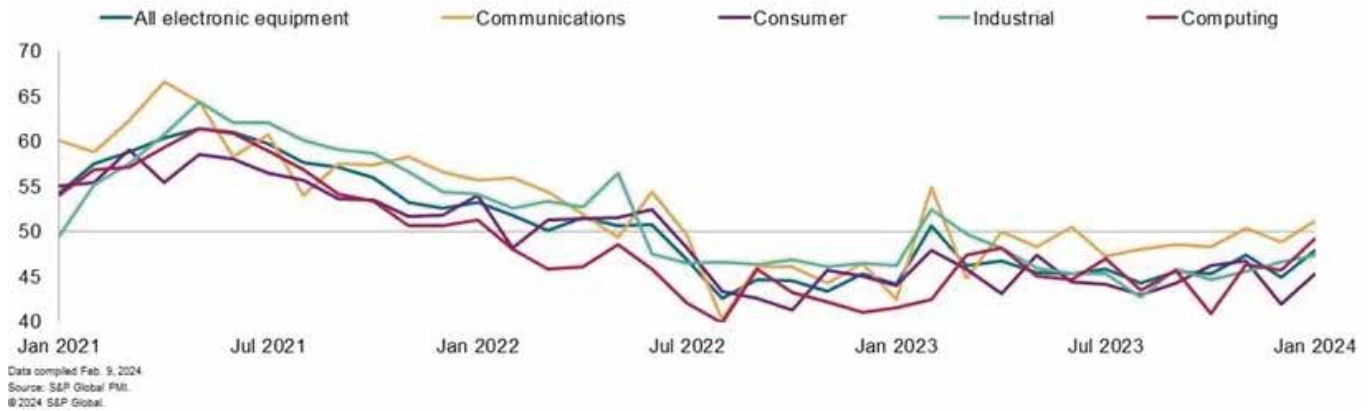
## 2024 年及以后半导体供应链的状况和前景

从上至下看, 半导体需求疲软, 电子设备制造业低迷。标准普尔全球制造业采购经理指数显示, 过去19个月中有18个月新订单出现下降。

我们看到了一些复苏的迹象, 下降率有所下降, 而通信设备的新订单正在增加。这与2021年繁荣时期的扩张速度还有很大差距。中国台湾和韩国主要制造中心的半导体出口也有复苏的迹象。

### Electronics orders improving, only communications expanding

New order manufacturing PMI, figure below 50 indicates sequential decline



在通用计算基础设施的销售陷入停滞之际, 对生成式人工智能的需求为芯片、系统和云供应商提供了可喜的推动力。该市场仍处于发展周期的早期阶段。

对GPU的巨大需求很大程度上是由一小群有远见的公司建立自己的基础平台推动的, 加上中国大陆企业在进一步的出口限制生效之前尽可能多地购买先进的GPU。在大多数商业公司准备好在真正的创收应用软件中大规模使用这些模型之前, 这种热潮可能会出现一段平静期。其时间安排取决于实现普遍可用性之前开发、测试和预览的通常顺序。

大规模训练是当今最紧迫的需求, 但随着时间的推移, 推理将成为迄今为止更大的市场机会, 因此, 随着需求的回升, 今天建立的一些大型培训集群可能会重新用于推理——可能会整体放缓随着过剩的消化, 基础设施销售。

超大规模企业以两种方式使用GPU: 在内部预先训练自己的大型基础模型以供客户使用; 面向外, 供客户使用GPU驱动的实例运行自己的AI模型和代码。他们越来越多地开发自己的定制硅加速器, 作为GPU的补充或替代品。

除非性能和效率能够呈指数级提高, 否则未来十年数据中心容量的预计增长将无法实现。这种转变对半导体行业来说是一次重大颠覆。

公布相关数据的四家超大规模企业的资本支出在2023年第四季度达到308亿美元, 同比增长15%, 与2019年同期相比增长95%。

过去五年里, 消费设备的出货量推动半导体行业经历了繁荣与萧条的周期。从长远来看, 全球消费技术和相关平台市场与通过光纤和 5G 实现的下一代连接的推出直接相关, 其在2024年的日益成熟将进一步加速市场发展。

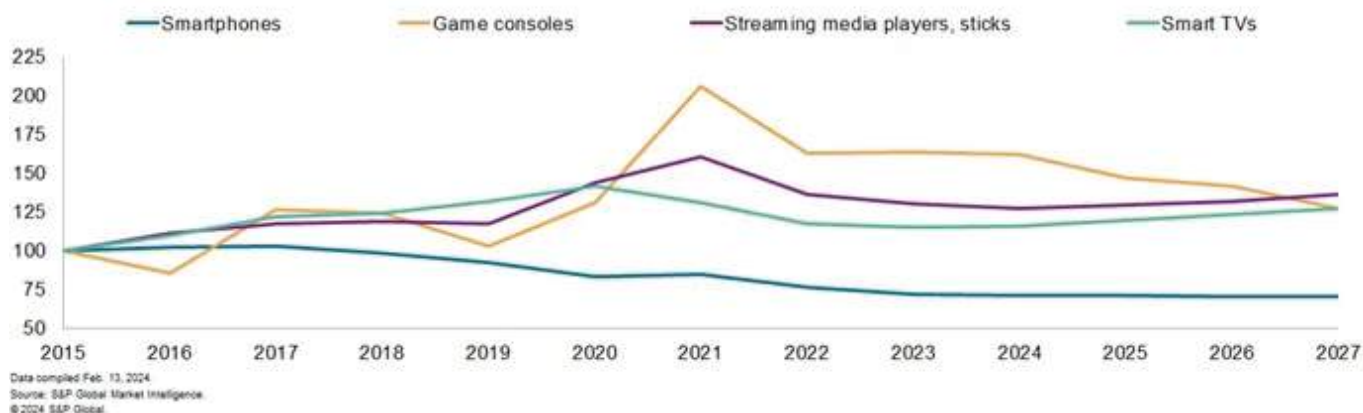
新产品和应用将不断涌现, 其中许多由人工智能驱动并依赖于片上系统技术, 通过CPU、GPU和神经处理单元(NPU)的集成组合来加速人工智能。许多PC制造商依靠2024年早些时候推出的“AI PC”来刺激需求。

短期内, 我们的预测显示, 北美智能手机出货量自2016年以来一直处于持续低迷状态, 预计到2027年都不会复苏。家庭媒体设备(包括视频游戏机、电视和流媒体)的出货量在2020年增长了16%, 2021年将下降10%, 然后在2022年和2023年合计下降17%。游戏机出货量预计将下降, 而流媒体和智能电视预计未来四年仅增长1%至3%。

**国内已有部分企业在全全球竞争中突出重围，但整体而言市占率均较低。**中微公司、北方华创在全全球刻蚀设备市场市占率分别达1.1%、0.6%；热处理设备市场中，北方华创、屹唐半导体等国内厂商市占率分别达1%和4%，华峰测控在半导体测试机市场中市占率达3%，但各细分领域国内参与厂商数目及各家市占率不高，多数市场仍被外企主导。

**Home media devices expected to grow, phones and consoles to decline**

US device shipments, rebased 2015 = 100



人工智能用例可能会成为位于集中式公共云和数据中心之外、靠近最终用户、联网机器和传感器的基础设施销售的关键驱动力。全球移动行业正在经历一场改变行业的数字化转型，例如支持联网汽车愿景所需的车内和车外基础设施，有可能实现自动驾驶。

这些在很大程度上依赖于由原始设备制造商、行业供应商、超大规模提供商、数据中心提供商和5G服务提供商部署、管理和拥有的智能边缘基础设施。持续供应不太领先的“传统”半导体和具有额外嵌入式智能的超低功耗芯片是这一愿景的重要组成部分。

重新调整用途的消费芯片和新兴架构——RISC-V内核、软件IP和小芯片——必须被当前并不总是处于技术创新前沿的嵌入式处理和微控制器芯片专家更快地采用。

该行业可能拥有光明的长期未来，但眼前的前景却黯淡，这是无法回避的挑战。这在技术供应链的中间可以明显地看到，其中部分半导体的出口尚未开始复苏。半导体零部件的贸易数据将是追踪实际芯片需求复苏的关键指标。

(来源:大半导体)



## 中国的芯片产能,将成为全球第一

根据Knomet Research的最新数据,预计到2026年,中国大陆将在全球IC晶圆产能上超越韩国和中国台湾,成为领先地区。与此同时,欧洲的产能份额预计将呈现下降趋势。



该机构预测,全球IC晶圆产能的年增长率在2024年将达到4.5%,而在2025年和2026年则分别攀升至8.2%和8.9%。这一迅猛的增长态势,在很大程度上得益于中国对芯片制造能力的大规模投资。中国不仅致力于提升自身技术,还计划从除美洲外的所有地区夺取市场份额,预计将在未来几年内显著扩大其在全球晶圆产能中的份额。

从地区分布来看,截至2023年底,中国大陆在全球晶圆月产能中的份额为19.1%,虽然仍落后于韩国和中国台湾,但差距正在逐渐缩小。预计到2025年,中国大陆的产能份额将与领先地区基本持平,并在2026年有望跃居榜首。

相比之下,欧洲的IC晶圆产能份额在过去几年中已有所下降。从2021年12月的5%降至2023年12月的4.8%,并预计将在2026年12月进一步降至4.5%。尽管英特尔、台积电等公司宣布了在欧洲建设晶圆厂的计划,但这些项目大多需要数年时间才能投入大规模生产,因此短期内难以改变欧洲在全球晶圆产能中的地位。

值得注意的是,全球范围内正在掀起一股集成电

路制造能力的建设热潮,许多地区都在积极投入资金和资源以扩大产能。其中,中国无疑是这股热潮中的佼佼者。然而,尽管中国企业在晶圆产能上取得了显著进展,但大部分产能仍由外国公司所控制,如三星、SK海力士、台积电等。

此外,美国对中国半导体行业的制裁措施虽然在一定程度上阻碍了中国企业在先进技术领域的发展,但预计并不会影响中国在全球晶圆产能上的增长势头。然而,这一增长趋势也引发了美国和欧洲政界的担忧,他们担心中国制造的芯片可能会冲击全球市场并造成混乱。

综上所述,中国大陆在全球IC晶圆产能上的崛起已成为不可逆转的趋势。未来几年,随着技术的不断进步和产能的持续扩张,中国有望在全球半导体产业中占据更加重要的地位。然而,这一过程中也伴随着诸多挑战 and 不确定性,需要各方共同应对和解决。

展望未来,中国大陆在全球IC晶圆产能领域的崛起不仅彰显了其科技实力的迅速增强,也反映出全球半导体产业格局正在发生深刻变化。中国通过持续加大投资、引进先进技术和管理经验,不断提升自身在全球半导体产业链中的地位和影响力。

然而,这一进程也伴随着诸多挑战,如技术突破、市场竞争、国际贸易摩擦等。因此,中国需要保持清醒头脑,加强自主创新,提升核心竞争力,同时加强与国际社会的合作与交流,共同推动全球半导体产业的健康发展。

总的来说,中国大陆在全球IC晶圆产能领域的崛起是一个不可逆转的趋势,也是中国科技进步和产业升级的重要体现。我们期待在未来看到更多中国企业在全球半导体产业中发挥重要作用,共同推动世界科技进步。

(来源:半导体数据)





# SiC功率器件市场将达100亿美元

2024年3月,法国市场研究公司Yole Group发布了SiC(碳化硅)/GaN(氮化镓)市场研究报告。报告称,预计2029年SiC功率器件市场规模将达到100亿美元。SiC市场的快速扩张主要得益于EV(电动汽车)的需求,预计2023年市场将比上年增长60%。

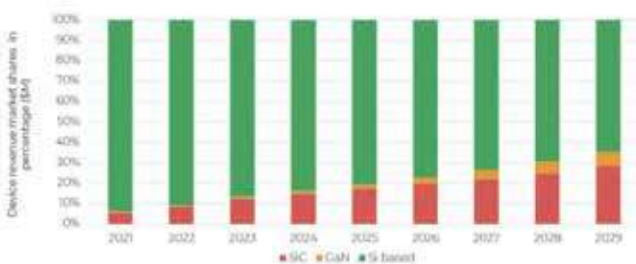


SiC功率器件市场规模及同比增速趋势。来源: Yole Group

## 2029年WBG半导体将占功率器件市场的35%

2029年电力电子市场中,采用SiC、GaN等宽带隙(WBG)半导体的产品预计将占总量的35%以上,其中SiC预计将占总量的26.8%。

2021-2029 device revenue market shares: SiC vs. GaN vs. Si based. Source: Power SiC and GaN Compound Semiconductor Market Monitor, Q1 2024, Yole Intelligence, March 2024.



电力电子市场各材料占比趋势。来源: Yole Group

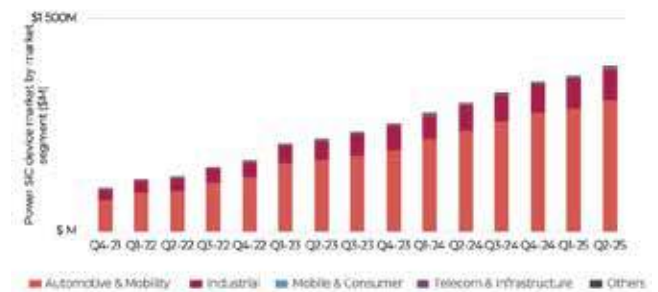
SiC/GaN功率器件市场的快速增长始于2018年至2019年左右,并持续至今。SiC功率器件市场最初是在特斯拉在其电动汽车“Model 3”的逆变器中采用SiC时获得动力的,但现在800V高速电动汽车充电已成为趋势。

使用SiC功率器件的电动汽车正在量产,例如比

亚迪的“汉”和现代的“IONIQ 5”。到2023年,意法半导体、安森美、英飞凌科技(以下简称英飞凌)、Wolfspeed、ROHM等多家主要器件制造商的SiC功率器件营收将创下历史新高。到2025年,这些公司的SiC功率器件销售额预计将超过10亿美元,并且许多公司计划在未来几年扩大其设施。

Yole 预计 SiC 功率器件市场在未来几年将再增长一个档次,因为不仅汽车,而且工业/能源/铁路应用都在增长势头。

Q4 2021-Q4 2025 power SiC device market by segment. Source: Power SiC and GaN Compound Semiconductor Market Monitor, Q1 2024, Yole Intelligence, March 2024.

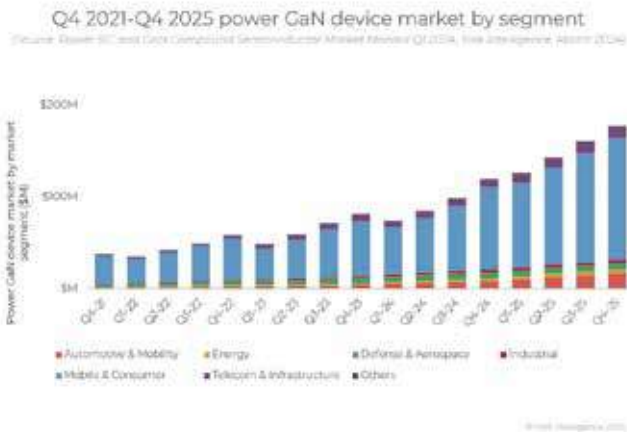


按应用划分的SiC功率器件市场规模趋势。来源: Yole Group

Yole表示,2023年SiC晶圆/外延片市场增长强劲,尤其是在中国,由于大规模产能扩张,但现在存在产能过剩的担忧。SiC相关市场在2024年上半年面临阻力, SiC功率器件主要客户特斯拉预计2024年增长放缓。据称,供应链中的企业正在降低库存水平,等待2024年下半年市场的复苏。

## GaN功率器件市场持续高速增长, 2029年将达到25亿美元

GaN功率器件市场主要由消费应用驱动。最近的趋势包括充电器的更高输出功率以及家用电器电源和电机驱动器的更高效率/小型化。汽车和数据中心应用对GaN功率器件的期望也不断提高,预计到2029年GaN功率器件市场将增长至24.5亿美元。



按应用划分的 GaN 功率器件市场规模趋势。来源：Yole Group

在 GaN 功率器件行业，垂直集成器件制造商 (IDM) 的商业模式预计未来将更加占主导地位，并且参与者的整合正在取得进展。英飞凌对 GaN Systems 的收购是迄今为止业界最大的一笔收购，总计 8.3 亿美元。瑞萨电子还宣布将以 3.39 亿美元收购 Transphorm。预计将于 2024 年上半年完成。

总体而言，2023 年至 2029 年，GaN 功率器件市场预计将以 45% 的复合年增长率扩张，到 2029 年将达到 24.5 亿美元以上。这种快速增长引发了人们的兴趣，过去六个月宣布的投资超过 16 亿美元，包括并购和其他融资。

中国十分看好第三代半导体的应用前景。最近几年，国家持续出台相关政策支持第三代半导体发展，2016 年 7 月，国务院《关于印发“十三五”国家科技创新规划的通知》明确发展第三代半导体芯片；2019 年 11 月工信部将第三代半导体产品写入《重点新材料首批次应用示范指导目录》，2019 年 12 月，在《长江三角洲区域一体化发展规划纲要》中明确要求加快培育布局第三代半导体产业，推动制造业高质量发展；2020 年 7 月为鼓励企业积极发展集成电路，国家减免相关企业税收；2021 年 3 月，十四五规划中特别提出第三代半导体要取得发展；2021 年 8 月，工信部将第三代半导体纳入“十四五”产业科技创新相关发展。

国内外厂商积极布局碳化硅，产业链日趋完善。SiC 衬底市场高度集中，2020 年山东天岳在半绝缘型市场份额达 30%。超芯星是国内为数不多掌握 PVT 和 HTCVD 两种长晶技术路线的公司。以东莞天域和瀚天天成为代表的国内碳化硅外延厂商，已研制成功 6 英寸碳化硅外延晶片，逐渐实现商业化。国内厂商在 SiC 功率器件领域入局较晚，目前市场份额较小，但由于行业处于早期阶段，格局尚未定型。长飞先进半导体采用 IDM 模式，业务覆盖外延、设计、晶圆制造、模组全产业链环节，目前其 SiC MOSFET 已投产能与规划产能均为国内第一，并且其产品已通过头部车厂、Tier1 客户认证，是国内首批上新能源车主驱逆变器的厂商。

碳化硅衬底材料是碳化硅产业链中最具价值的一环。碳化硅器件制作过程可分为衬底加工、外延生长、器件设计、制造、封装等环节。产业链存在较为显著的价值量倒挂现象，其中衬底制造技术壁垒最高、价值量最大。在碳化硅产业链中，碳化硅衬底约占碳化硅器件成本的 47%。而对于硅基器件来说，晶圆制造占据 50% 的成本，硅片衬底仅占据 7% 的成本。从不同行业的渗透节奏来看，800V 平台与碳化硅相拥而来推动新能源汽车 2023 年成为第一大爆发市场。细分应用中，主逆变器作为最核心、价值最大领域已采用纯 SiC MOSFET 替代方案，OBC、DC-DC 当前仍以 SiC SBD 作为近期过渡。

随着氮化镓行业应用领域的不断拓展，中国氮化镓行业市场规模也在不断扩大。目前的应用领域主要集中在消费电子、新能源汽车、光伏及储能、数据计算中心等领域。目前国内氮化镓创业公司众多、行业集中度相对分散，但是以英诺赛科为代表的 GaN IDM 公司优势明显，可以广泛覆盖不同的下游应用场景并自主掌握工艺和产能保障，未来将持续提升市场份额。

(来源：半导体产业纵横)

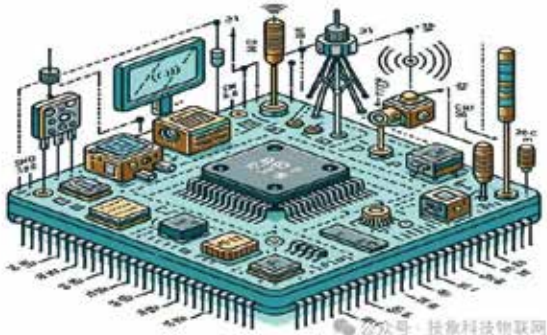
## 射频前端芯片原理和用途

**射频前端芯片是一种关键的电子元件，主要负责射频收发、频率合成、功率放大等功能。**其工作原理基于射频RF技术，通过将电信号转换为无线电波并传输到接收器来实现无线通信。射频前端芯片通常由调制器、解调器、放大器、滤波器和天线等部件组成。当输入的电信号进入射频前端芯片时，调制器会将其转换为无线电波，并通过天线发送出去。

射频前端芯片是集成电路中的模拟芯片，主要应用在基站和手机等移动通信设备中。它是通信设备的核心部分，具有收发射频信号的重要作用，决定了通信质量、信号功率、信号带宽、网络连接速度等诸多通信指标。射频前端芯片可以通过合理的信号调节，保证接收信号的质量和清晰度，在实际应用中，可以依据控制函数对信号进行调节，比如增益调节、平衡调整。

一个典型的射频前端由开关、滤波器、放大器及调谐组件组成。这些技术设备的尺寸不断减小，并且相互集成度不断加大，使得它们能够在手机、小蜂窝、天线阵列系统等设备中得到广泛应用。射频前端还包括功率放大器(PA)、天线开关(Switch)、滤波器(Filter)、双工器(Duplexer和Diplexer)和低噪声放大器(LNA)等组件，这些组件共同工作，确保了射频信号的有效传输和接收。

射频前端芯片在现代通信技术中扮演着至关重要的角色，它不仅涉及到信号的发射和接收，还包括了信号的质量控制和优化，对于提高通信效率和质量具有重要意义。



### 一、射频前端芯片的最新技术进展是什么？

射频前端芯片的最新技术进展主要体现在以下几个方面：

- **新兴应用场景的推动**：随着智能网联汽车、卫星通信、AR/VR等新兴应用的发展，以及6G、5G Red-cap、WiFi 7等新技术标准的不断涌现，为射频领域带来了新增长点。这些新兴应用场景对射频前端芯片提出了更高的要求，促进了技术的进步和创新。

- **模组化趋势**：通信技术的更新迭代加速了射频前端模组化的趋势。这意味着射频前端芯片正朝着更加模块化、集成化的方向发展，以适应不同应用场景的需求，提高产品的灵活性和可扩展性。

- **市场需求的增长**：随着万物互联时代的到来，射频前端芯片在移动通信、物联网、智能家居等领域的应用日益广泛，市场需求持续增长。这不仅推动了射频前端芯片技术的发展，也为行业带来了更大的发展机遇。

射频前端芯片的最新技术进展主要包括新兴应用场景的推动、模组化趋势的加速以及市场需求的持续增长。这些进展不仅展示了射频前端芯片技术的发展方向，也预示着未来射频前端芯片将在更多领域发挥重要作用。

### 二、如何优化射频前端芯片以提高通信设备的性能和效率？

优化射频前端芯片以提高通信设备的性能和效率，可以从以下几个方面入手：

- **采用LDPC编码增益**：通过有效抑制噪声来提高信号质量，进而提升系统的整体性能。LDPC编码增益能够帮助系统在发送和接收信息时增加吞吐量，从而提高数据传输的速度。

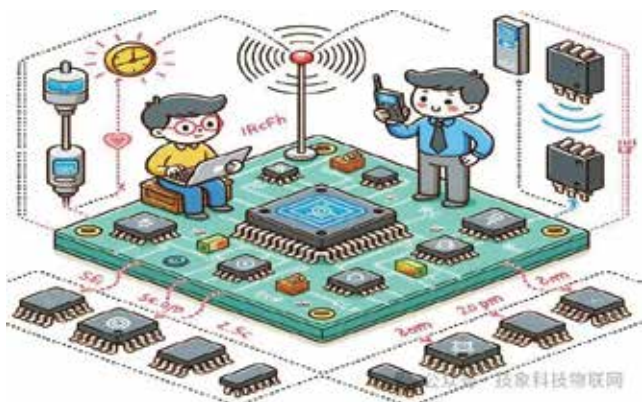
- **利用软件定义硬件(SDH)技术**：通过软件来优化硬件，可以突破性能限制，并且减少硬件通路的数量。这种方法不仅可以从技术上降低成本，还能在规模起步阶段就实现成本效益的提升。



· **提升系统功率或功耗**:通过提高系统功率或降低功耗,可以使系统硬件增益提升9dB。这种做法可以在不改变链路特性(如通信距离、可用性、天线尺寸等)的情况下,提升频谱效率。

· **使用自适应调制技术**:自适应调制可以根据当前的通信环境动态调整传输参数,以达到最佳的通信效果。这种方法可以在保证通信质量的同时,进一步提高通信设备的性能和效率。

**通过采用LDPC编码增益、利用软件定义硬件技术、提升系统功率或功耗以及使用自适应调制技术,可以有效地优化射频前端芯片,从而提高通信设备的性能和效率。**



### 三、 射频前端芯片在5G通信系统中的应用有哪些具体案例?

射频前端芯片在5G通信系统中的应用具体案例包括:

· **LNA、射频开关和单颗LC型滤波器的集成**:使用RF-SOI工艺集成的LNA(低噪声放大器)、射频开关以及单颗LC型滤波器,这些技术被应用于4G/5G通信系统中,以提高信号处理的效率和性能。

· **GaN射频前端器件**:通过突破GaN射频前端器件研制及生产中的关键技术,建立了完全自主的GaN前端器件设计、加工、封装、测试的全流程产业链。这些高性能的GaN射频前端器件满足了5G基站的应用需求。

· **BAW滤波器**:BAW滤波器采用3D腔体结构,具有插入损耗小、带外衰减大等优点,同时对温度变化不敏感,特别适用于2GHz以上的高频通信,在5G与sub-6G频段的应用中显示出其优势。

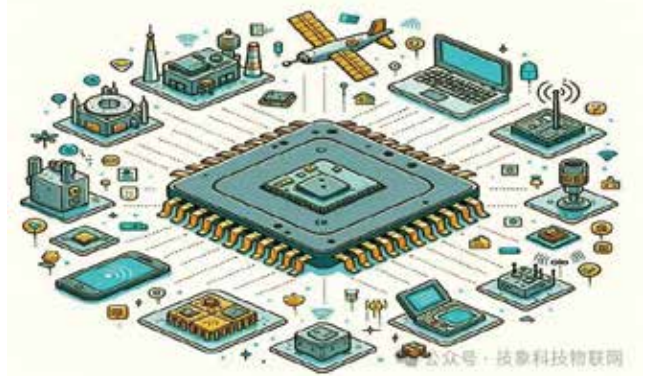
· **PA(功率放大器)**:PA作为射频前端发射通路

的主要器件,主要功能是将调制振荡电路所产生的小功率射频信号放大,以获得足够大的射频输出功率。当PA应用于手机时,它直接决定了手机的通信能力和效率。

这些案例展示了射频前端芯片在5G通信系统中的多样化应用,从提高信号处理效率到满足高频通信的需求,再到提升通信能力和效率,射频前端芯片在5G技术的发展中扮演着关键角色。

### 四、 射频前端芯片的设计和制造过程中面临的主要挑战是什么?

射频前端芯片的设计和制造过程中面临的主要挑战包括**噪声、失真、线性度、功耗和成本等方面的优化和折中问题**。随着移动行业向更高集成度的下一代网络迈进,射频组件匹配、模块架构和电路设计上的挑战日益增加。此外,每次通信时代的更迭都会对前端模块的设备数量与性能提出更高的要求,如从体硅衬底转向SOI(Silicon On Insulator)技术的趋势所示。5G时代对射频前端集成化模组的设计提出了新的技术挑战,特别是在更高频率的5G新频段上。市场疲软也影响了射频芯片行业,使得设计难度进一步增加。工艺及封装的客观限制因素是射频芯片设计面临的**最大难题之一**。最后,随着后摩尔时代的到来,芯片设计迎来了新的挑战,如“超越摩尔”与“深度摩尔”的推进,使得最复杂的芯片设计包含超过1.2万亿个组件。Wi-Fi 7的技术规格全面升级,特别是4096QAM与320MHz频宽的要求,也会提高射频元件的设计难度。



### 五、 射频前端芯片的成本效益分析:如何平衡性能提升与成本控制?

射频前端芯片的成本效益分析,旨在平衡性能提

升与成本控制之间的关系。射频前端芯片作为无线通信模块的关键器件,包括射频功率放大器(PA)、射频滤波器、射频低噪声放大器(LNA)、射频开关、双工器等。这些组件的性能直接影响到整个无线通信系统的效率和稳定性。

首先,从成本控制的角度出发,可以通过采用更高效的制造工艺和材料来降低生产成本。例如,晶圆生产商可以根据市场需求和技术进步,优化生产流程和提高生产效率,从而降低成本。此外,通过技术创新,如改进设计或采用新材料,也可以在不牺牲性能的前提下减少成本。

其次,从性能提升的角度考虑,可以通过增加研发投入,推动技术创新,以实现更高的性能指标。这包括但不限于提高信号处理能力、降低功耗、增强抗干扰能力等方面。通过不断的技术迭代和优化,可以满

足市场对高性能射频前端芯片的需求。

然而,性能提升往往伴随着成本的增加。因此,如何在保证必要性能的同时,有效控制成本,是射频前端芯片行业面临的主要挑战。一种可能的解决方案是采用模块化设计和标准化产品策略。通过模块化设计,可以灵活地调整产品配置,以适应不同的应用场景和成本预算,同时保持核心技术和性能指标的一致性。标准化产品策略则有助于规模化生产和降低成本,因为大规模生产可以分摊固定成本并提高生产效率。

**射频前端芯片的成本效益分析需要综合考虑技术创新、生产效率、市场需求等多个因素。**通过持续的技术创新和优化生产流程,可以在提升性能的同时有效控制成本,实现性能提升与成本控制之间的平衡。

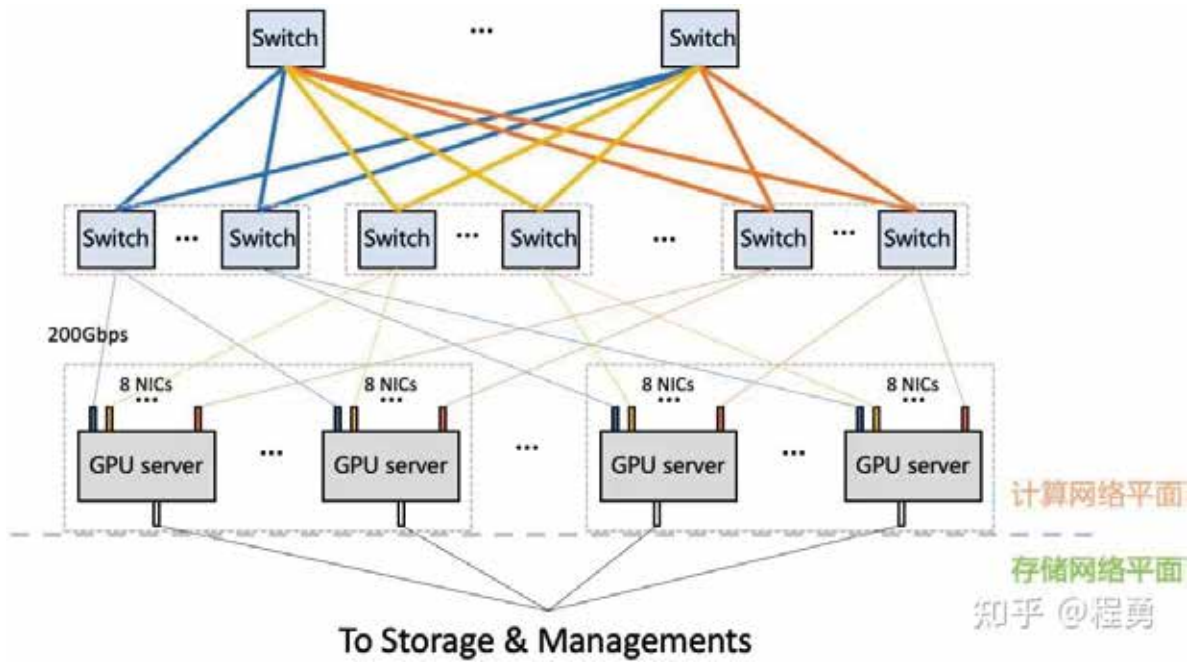
(来源:技象科技物联网)

## GPU集群网络、集群规模、集群算力

### 一、引言

在生成式AI (GenAI) 和大模型时代,我们不仅关注单个GPU卡的算力,我们更加关注GPU集群的总有效算力。我们知道,单个GPU卡的有效算力可以通过该卡的峰值算力来测算,例如,对于Nvidia A100,峰值FP16/BF16稠密算力是312 TFLOPS,单卡有效算力约为~298 TFLOPS。

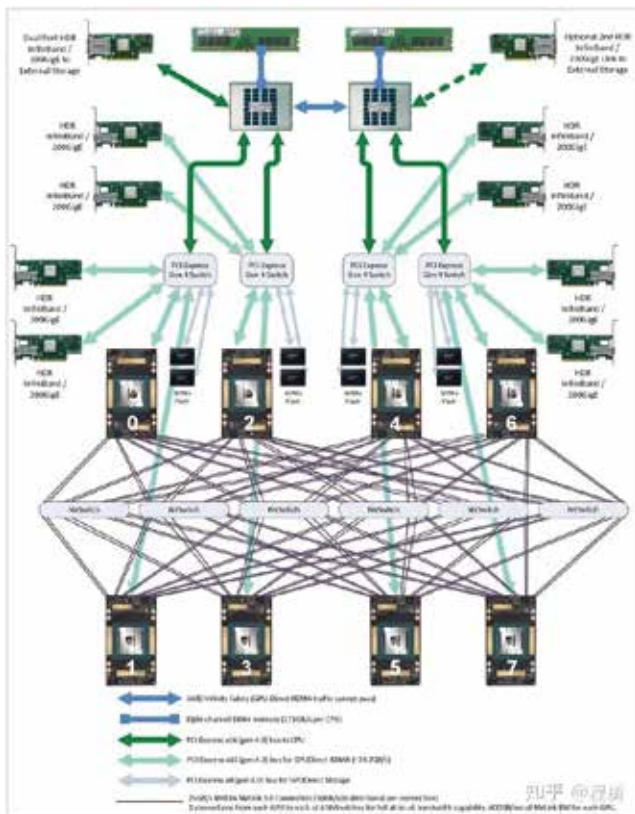
我们已经很熟悉单张GPU卡以及单个GPU服务器的使用了,对于组建GPU集群以及GPU集群规模和总算力规划,我们还在学习中,正在从实践中总结经验。本篇就跟大家谈谈GPU集群网络配置和GPU集群规模以及总有效算力,本篇重点讨论算力网络平面。因为存储和管理网络平面相对比较简单,本文就不赘述了。



GPU集群网络架构示例（两层计算网络）

## 二、GPU服务器网卡配置

GPU集群的规模和总有效算力，很大程度上取决于GPU集群网络配置和使用的交换机设备。对于每一款Nvidia GPU服务器，Nvidia都有对应的推荐GPU集群网络配置，例如，对于DGX A100服务器，推荐的服务器之间网络连接是 200 Gbps/卡（即每张A100卡都对应200 Gbps网络连接与其他服务器中的A100卡通信），单台DGX A100服务器配置8张计算网络卡（如InfiniBand 200 Gbps）。



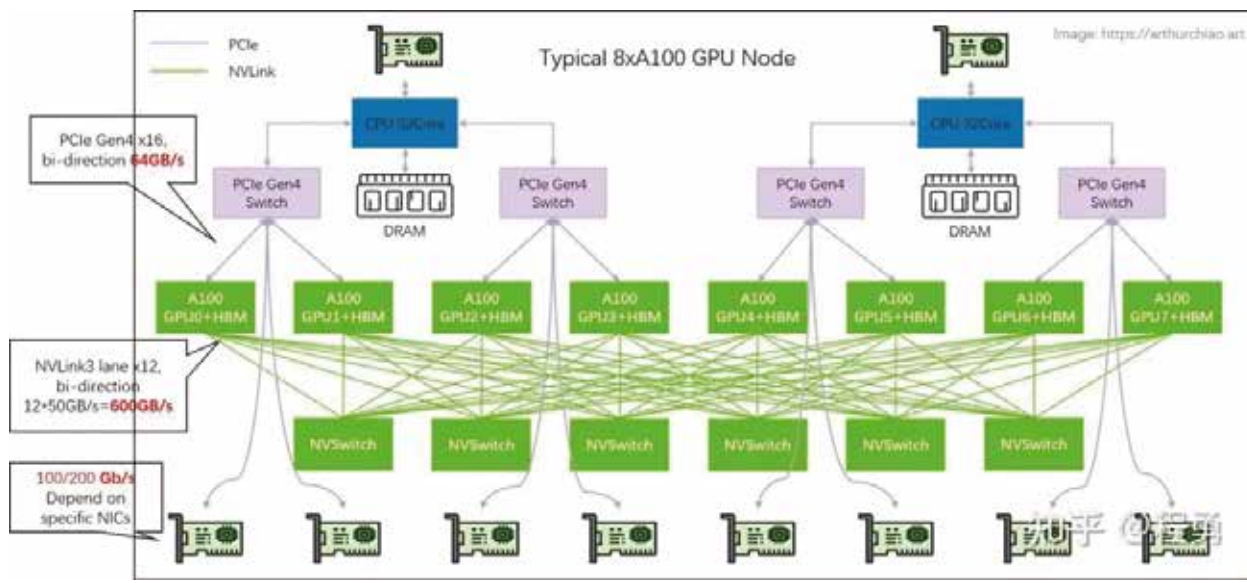
DGX A100 System, Server Block Diagram

**那么GPU服务器之间的计算网络带宽是依据什么来确定的呢？**

除了成本因素之外，GPU服务器之间的计算网络带宽是由GPU卡所支持的PCIe带宽决定的，这是因为GPU服务器配置的计算网络的网卡是通过PCIe Switch与GPU卡进行连接的（GPU<-->PCIe Switch<-->NIC），那么PCIe的带宽就限制了计算网络的带宽。

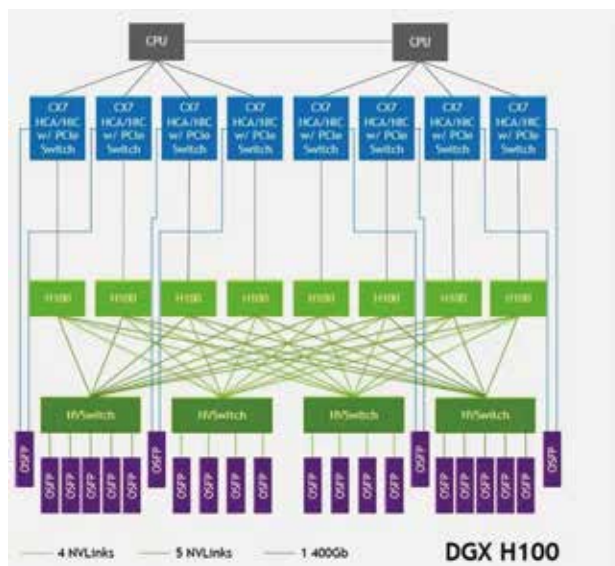
举例而言，对于Nvidia DGX A100服务器，因为单张A100卡支持的是PCIe Gen4，双向带宽是64 GB/s，单向带宽是32GB/s，即256Gbps。所以，为单张A100卡配置200 Gbps的网卡就足够了。所以，单看计算网络，Nvidia DGX A100服务器配置的是8张Mellanox ConnectX-6 InfiniBand网卡（注：也可以配置Mellanox ConnectX-7，因为ConnectX-7也支持200 Gbps）。如果是给A100卡配置400 Gbps的网卡，因为受到PCIe Gen4带宽限制，400 Gbps的网卡作用是发挥不出来的（那么就浪费了很多网卡带宽）。





Nvidia DGX A100 system topology

对于Nvidia DGX H100服务器,因为**单张H100卡支持的是PCIe Gen5**,双向带宽是128 GB/s,单向带宽是**64 GB/s,即 512 Gbps**。所以,为单张H100卡配置**400 Gbps**的计算网卡是Nvidia推荐的标准配置。单看计算网络,Nvidia DGX H100服务器配置的是8张 Mellanox ConnectX-7 InfiniBand 网卡,单个H100卡拥有 400 Gbps 对外网络连接。



### DGX H100: DATA-NETWORK CONFIGURATION

- Full-BW Intra-Server NVLink**
  - All 8 GPUs can simultaneously saturate 18 NVLinks to other GPUs within server
  - Limited only by over-subscription from multiple other GPUs
- Half-BW NVLink Network**
  - All 8 GPUs can half-subscribe 18 NVLinks to GPUs in other servers
  - 4 GPUs can saturate 18 NVLinks to GPUs in other servers
  - Equivalent of full-BW on AllReduce with SHARP
  - Reduction in All2All BW is a balance with server complexity and costs
- Multi-Rail InfiniBand/Ethernet**
  - All 8 GPUs can independently RDMA data over its own dedicated 400 Gb/s HCA/NIC
  - 800 GBps of aggregate network complexity to non-NVLink Network devices

DGX H100 Configuration

需要说明的是,对于A800和H800服务器的计算网络配置,国内使用A800和H800服务器一般不是采用Nvidia DGX推荐的标准配置。例如,对于A800服务器,计算网卡配置常见的有两种方式:第一种是 8 x 200 GbE,即每张A800卡有单独的200 GbE网卡配置(8张A800卡一共有 ~1.6 Tbps RoCEv2计算网络连接);第二种是 4 x 200 GbE,即每两张A800卡共享一个200 GbE网卡,单卡最高是200 GbE网络,平均每张A800卡有对外100GbE的连接。第二种方式类似Nvidia DGX V100的设计 [8]。考虑到可以先在A800服务器内进行通信聚合,然后再与其他服务器通信,所以这两种计算网卡配置方式对于整个集群效率的影响基本一致。

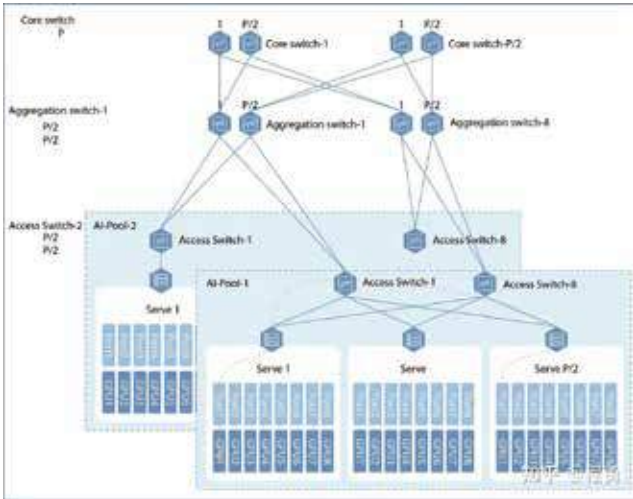
**H800支持PCIe Gen5**,对于H800服务器,常见的计算网卡配置方式是 8 x 400GbE,即每张H800卡有单独的400 GbE网卡配置,每张H800卡都有对外400 GbE的计算网络连接,8张H800卡一共有 ~3.2 Tbps RoCEv2 计算网络连接。

这里还想谈一下华为昇腾910B NPU卡。**昇腾910B支持PCIe Gen5**,也就是说理论上昇腾910B单卡可以配置400 GbE的对外网络连接。例如,装配有16卡昇腾910B的服务器一般可以选择配置8x 400 GbE网卡,也就是单卡最高是400 GbE网络,平均每卡是200 GbE网络。

Nvidia使用NVLink和NVSwitch实现了单个服务器内多个GPU之间的高速互联,而使用多个服务器组建集群时,PCIe带宽仍然是主要性能瓶颈(集群网络瓶颈),这是因为当前网卡和GPU卡之间的连接主要还是通过PCIe Switch来连接。随着未来PCIe Gen6(2022年标准发布)普及应用,甚至PCIe Gen7(预计2025年标准发布)普及应用,GPU集群的整体性能又会上一个新台阶。还有2024年将要发布的Nvidia H20也是支持PCIe Gen5。

### 三、GPU集群网络和集群规模

上面讨论了单个GPU服务器的网卡配置,接下来讨论GPU集群网络架构(GPU cluster fabrics)和集群规模。实践中最常用的GPU集群网络拓扑是胖树(Fat-Tree) **无阻塞网络架构**(无收敛设计),这是因为Fat-Tree架构易于拓展、路由简单、方便管理和运维、鲁棒性好,且成本相对较低。实践中,一般规模较小的GPU集群计算网络采用两层架构(Leaf-Spine),而规模较大的GPU集群计算网络采用三层架构(Leaf-Spine-Core)。这里Leaf对应接入层(Access),Spine对应汇聚层(Aggregation),Core对应核心层。

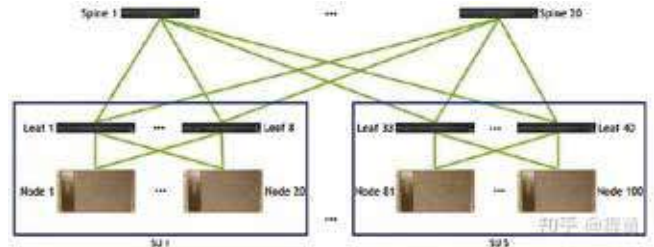


三层Fat-Tree计算网络示例

假设一个GPU集群的计算网络里采用相同的交换机,每台交换机端口数为P,使用**两层Fat-Tree无阻塞计算网络(Leaf-Spine)**,一个GPU集群里GPU卡的数量最多为  $P^2/2$ 。

在两层Fat-Tree无阻塞计算网络里(Leaf-Spine),第一层中**每一台Leaf交换机用P/2个端口来连接GPU卡**,另外P/2个端口向上连接Spine交换机(无阻塞网络要求向下和向上连接数量相同)。第二层中**每台Spine交换机也有P个端口,可以向下最多连接P台Leaf交换机**,所以在两层Fat-Tree无阻塞计算网络里**最多有P台Leaf交换机**,所以总的GPU卡的数量最多为  $P^2/2$ 。因为有P个Leaf交换机,每台Leaf交换机有P/2个端口向上连接Spine交换机,所以有P/2个Spine交换机。

例如,对于Nvidia A100集群,假设使用40端口的交换机(如Nvidia Mellanox QM8700),在使用两层Fat-Tree计算网络情况下,一个A100集群最大可以有800个A100卡( $40 \times 40 / 2 = 800$ )。



两层Fat-Tree计算网络示例

值得注意的是,如果一台GPU服务器内已经有卡间高速互联了(如NVLink和NVSwitch),则同一台服务器中的GPU卡不应该连接到相同的Leaf交换机上;**不同服务器中的编号相同的GPU卡(例如,A服务器中的3号卡与B服务器中的3号卡)应该尽量连接到同一个Leaf交换机上**,以便提高分布式计算效率(例如,提高跨服务器AllReduce操作的效率)。

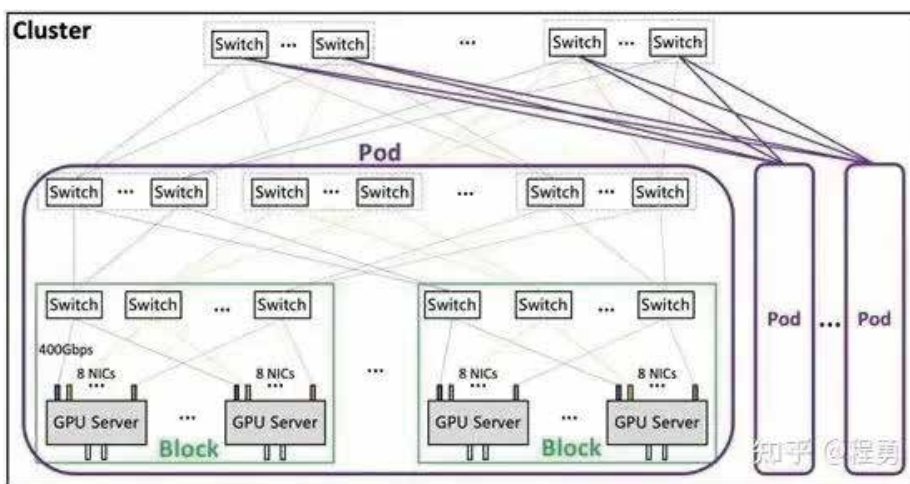
需要特别说明的是,对于GPU服务器内没有卡间高速互联解决方案的(例如,L20服务器、L40S服务器),需要尽量将一台服务器内的GPU卡连接到同一台Leaf交换机上,以便避开跨NUMA通信。

我们从上面的分析可以看到,假设使用128端口的交换机,两层Fat-Tree无阻塞计算网络能够接入的最大GPU数量仅为8192 ( $128 \times 128 / 2 = 8192$ )。如果要构建更大规模的GPU集群,我们需要从两层计算网络扩展到三层计算网络。

对于规模较大的GPU集群，一般需要采用三层计算网络架构。假设一个GPU集群计算网络里采用相同的交换机，交换机端口数为P，对于三层Fat-Tree无阻塞计算网络(Leaf-Spine-Core)，一个GPU集群里GPU卡的数量最多为  $P \times P \times P / 4$ 。

从两层Fat-Tree网络向三层Fat-Tree网络扩展，我们可以把两层Fat-Tree网络看成一个单元(即一个两层Fat-Tree子网络)。因为每台Spine交换机有一半端口向下连接Leaf交换机(每台Spine交换机最多只能连接P/2个Leaf交换机)，另一半端口向上连接Core交换机，所以每个两层Fat-Tree子网络里只能有P/2个Leaf交换机。在无阻塞网络里，各层的连接数量都要保持相同，所以Spine交换机和Leaf交换机的数量相同。

因为Core交换机也有P个端口，可以连接P个这样的两层Fat-Tree子网络，所以三层Fat-Tree无阻塞计算网络(Leaf-Spine-Core)中一共有  $P \times P / 2$  个Leaf交换机和  $P \times P / 2$  个Spine交换机，所以GPU卡的总数量最多为  $(P/2) \times (P \times P / 2)$ ，即  $P \times P \times P / 4$ 。Spine交换机向上连接Core交换机的连接数为  $P \times P \times P / 4$ ，所以一共有  $P \times P / 4$  个Core交换机。



H800 GPU集群网络拓扑举例

从上面的分析我们看到，GPU集群的规模是由计算网络的架构和交换机的端口数决定的(当然，GPU集群规模也受限于机柜、供电、制冷和机房等硬件因素)。我们在下表中举例说明集群规模与交换机端口数的关系，以三层Fat-Tree无阻塞网络为例。

如果一个服务器内有M个GPU共享一个网卡，则GPU总数量要乘以M。例如，如果一个服务器内的两个GPU卡共享一个网卡，例如，装有8卡的A800服务器配置的是 4 x 200 GbE网卡方案，那么GPU卡的总数量还要乘以2(参考Nvidia DGX V100)。

交换机端口数 (Leaf、Spine、Core交换机相同)	三层Fat-Tree无阻塞网络，GPU卡数量理论上限 (GPU集群规模)	GPU集群举例
24	3456	V100集群
32	8192	V100集群
40	16000	A100集群，A800集群
48	27648	H800集群
64	65536	H100集群，H200集群，H20集群
80	128000	H20集群(猜想)
128	524288	H200集群，H20集群(猜想)



我们从上面的表格可以看到，基于三层Fat-Tree无阻塞网络构建的GPU集群，其规模能够满足大部分大模型训练和分布式计算的需求了，所以就不再需要考虑四层或者更复杂的网络拓扑了。

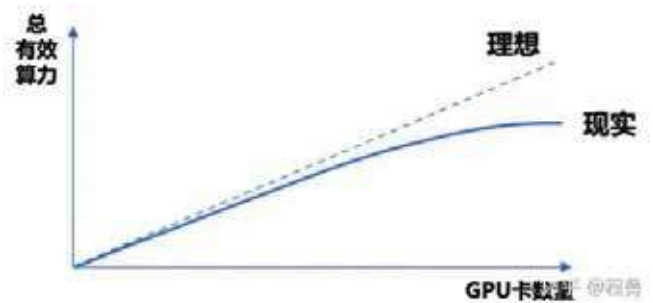
在上面的分析中，我们假设了整个GPU集群计算网络都是使用相同的交换机，如果Leaf、Spine、Core分别使用不同的交换机(甚至某一层都可能使用不同的网络交换机)，那么对于GPU集群网络和集群规模的分析就变得比较复杂了。

#### 四、GPU集群算力

一个GPU集群的有效算力可以用下面公式表示： $Q = C * N * u$ 。其中，Q表示集群总有效算力；C表示集群中单个GPU卡的峰值算力；N表示集群中GPU卡的数量；u表示集群中GPU卡的算力利用率。这里，C是指一个计算任务使用N个GPU卡所能获得的总有效算力。如果使用GPU集群进行大模型训练，那么算力利用率u就是我们常说的MFU (Model FLOPS Utilization)。

关于算力利用率u，我们要进一步区分算力利用率与线性加速比k。即便是在使用单张GPU进行

计算，也有算力利用率的问题(相应的，也有显存利用率的问题，Model Bandwidth Utilization (MBU))，例如，单卡算力利用率  $u = 75%$ 。如果一个计算任务里使用了N个GPU卡，那么**算力利用率u一般会随着GPU数量N的增加而变小**；总有效算力C会随着N的增加而增加，直到饱和(即N增加的边际效用递减)。一个GPU集群的总有效算力C随着N增加的变化速度就是线性加速比k。



GPU集群总有效算力随着GPU卡数量的变化情况示例

通常而言，按照整车开发流程，一款车规级芯片从设计到量产上车大约需要3.5-5.5年的时间，这其中功能安全的认证时间占据了一半以上。



图2 车规级芯片开发周期

举例而言， $Q1 = C * N1 * u1$ ， $Q2 = C * N2 * u2$ ，那么  $k = (Q2/N2) / (Q1/N1) = u2/u1$ ，这里假设  $N2 \geq N1$  (所以  $u2 \leq u1$ )，且  $Q2 \geq Q1$ 。

假设理想情况下，单卡算力利用率  $u2 = u1$ ，即线性加速比k为100%，那么随着N的增加，集群总有效算力线性增加。这里线性加速比是说集群总有效算力随着GPU卡数量增加而变化的情况，假设k为100%，那就是完美的线性增长。虽然假设线性加速比k为100%，但是单卡的有效利用率可能会比较低，例如， $u2 = u1 = 50%$ 。所以，算力利用率和线性加速比是从两个不同的维度来描述GPU集群性能。

如果假设  $u1 = 45.29%$  (@  $N1 = 3584$ )， $u2 = 42.19%$  (@  $N2 = 10752$ )，那么线性加速比就是  $k = 93%$ 。

实践中，GPU集群的线性加速比受到很多因素影响，包括GPU卡的峰值算力、显存容量、显存带宽、卡间互联方式、服务器间的网络带宽、网络架构、网络交换机、软件和算法等等。在比较好的情况下，一般可以做到线性加速比在90%以上。对于大规模GPU集群，GPU算力利用率一般在50%左右。

(来源：大模型生态圈)

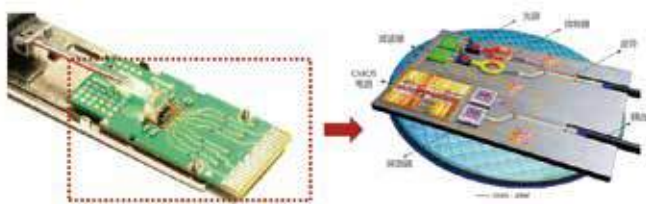
## 硅光芯片的春天又要来了？

近日，台积电将携手博通、英伟达等大客户共同开发硅光子技术、光学共封装(co-packaged optics, CPO)等新产品，该技术适用于45nm到7nm的芯片制程，预计最快明年下半年迎来大单，并在2025年左右达到量产阶段。

这一次，硅光芯片的春天又要来了？

### 硅光芯片曾经发展不及预期

硅光芯片是一种基于硅晶圆开发出的光子集成芯片，它利用硅光材料和器件通过特殊工艺制造集成电路，具有集成度高、成本低、传输带宽高等特点。在尺寸、速率、功耗等方面具有独特优势，其工艺与硅基微电子芯片基础工艺兼容，可以与硅基微电子实现光电子3D集成芯片。



硅光芯片可通过硅晶圆技术实现高密度集成（来源：英特尔）

事实上，早在上世纪七十年代，就有科学家开始在硅基材料上研究光子学。在2000年左右，硅光子技术开始进入商业应用领域，随后在通信、计算等领域得到小范围的应用。此前，也有多家科技巨头曾研发过硅光芯片相关的产品，但大多数没有实现规模应用。

据了解，华为曾经投入大量资源研发硅光芯片，在2018年首次展示了硅光子芯片的样品，并申请了相关专利。然而，华为在硅光芯片领域的研发进展缓慢，并且最终没有实现大规模商业应用。谷歌在2015年曾宣布成功研发出硅光芯片，并展示了其高速数据传输和处理的能力。然而，在随后的几年里，谷歌并未公开宣布任何关于硅光芯片技术的实质性进展。

中国科学院微电子研究所研究员、硅光平台负责人李志华向《中国电子报》记者表示，市场规模较小是

阻碍硅光芯片发展的一大因素。硅光芯片的应用领域主要集中在数据中心和长距离通信等高端市场。在AI市场爆发之前，这些市场的需求相对有限，这也限制了硅光芯片的发展。外加彼时芯片制程的发展还暂未趋于物理极限，人们热衷于通过缩小芯片制程来提升芯片的性能，而非通过硅光子技术提升芯片性能。这也导致了硅光子在此前的发展不及预期。

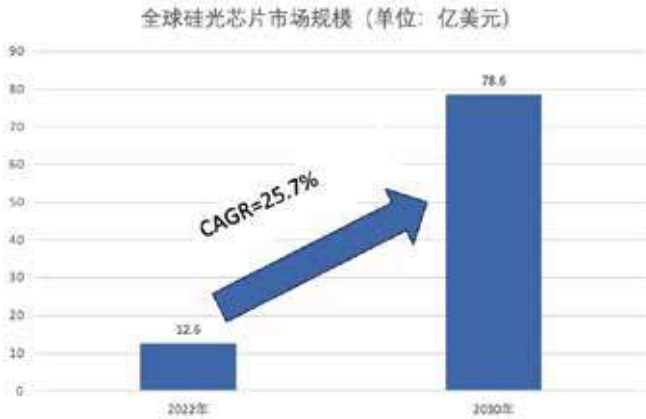
### 从“幕后”走向“台前”

如今，硅光芯片再次迎来“春天”，甚至此次还传出了台积电将在2025年大规模量产硅光芯片技术的消息。这项技术开始慢慢从“幕后”走向了“台前”。

这是由于，当前AI技术的快速发展带来数据处理和传输需求增长，硅光芯片正是一种能实现高效、快速、低成本处理和传输大量数据的技术。此外，随着芯片制程逐渐趋于物理极限，“超越摩尔技术”的概念也随之被提出。由于光子芯片对工艺节点的要求不如电子芯片那样严苛，降低了对先进制程的依赖。因此，硅光芯片在一定程度上缓解了当前芯片发展的瓶颈问题，也成为了“超越摩尔技术”的关键一员。

“硅光芯片并非取代传统的集成电路技术，而是在后摩尔时代，帮助集成电路扩充其技术功能。此外，由于硅光芯片是基于硅晶圆开发出的光子集成芯片，因此硅光芯片所需的制造设备和技术与传统集成电路基本一致，技术迁移成本较低，这也成为了硅光芯片得天独厚的优势。”李志华说。

基于此，硅光芯片也有了更多的市场需求。国际半导体产业协会(SEMI)预测数据显示，2030年全球硅光子学半导体市场规模预计将达到78.6亿美元，预计复合年增长率将达到25.7%。



与此同时,硅光芯片也成为全球芯片巨头竞争的另一关键赛道。

台积电此前在硅光芯片领域主推名为COUPE(紧凑型通用光子引擎)的封装技术,其最大的特点是可以降低功耗、提升带宽。有消息称,台积电计划将该技术用于与英伟达的合作项目中,尝试用该技术将多个英伟达GPU进行组合。此外,若此次台积电能如愿与博通、英伟达等大客户共同开发硅光芯片技术,也将会集合各方的技术优势和资源,推动硅光芯片的大规模量产。

另一芯片巨头英特尔也致力于发展硅光芯片技术。例如,英特尔提出的光电共封装解决方案使用了密集波分复用(DWDM)技术,能够在增加光子芯片带宽的同时缩小尺寸。英特尔还提出可插拔式光电共封装方案,该方案是利用光互连技术,让芯片间的带宽达到更高水平。同时,英特尔还在研发八波长分布式反馈激光器阵列,以提升大型CMOS晶圆厂激光器制造能力,实现光互连芯粒技术。



英特尔研究院研发的8个微环调制器和光波导(来源:英特尔)

### 制造良率成最大阻碍

尽管硅光芯片已经迎来从“幕后”走到“台前”的转折点,但是,这一次,台积电能否携手科技巨头成功

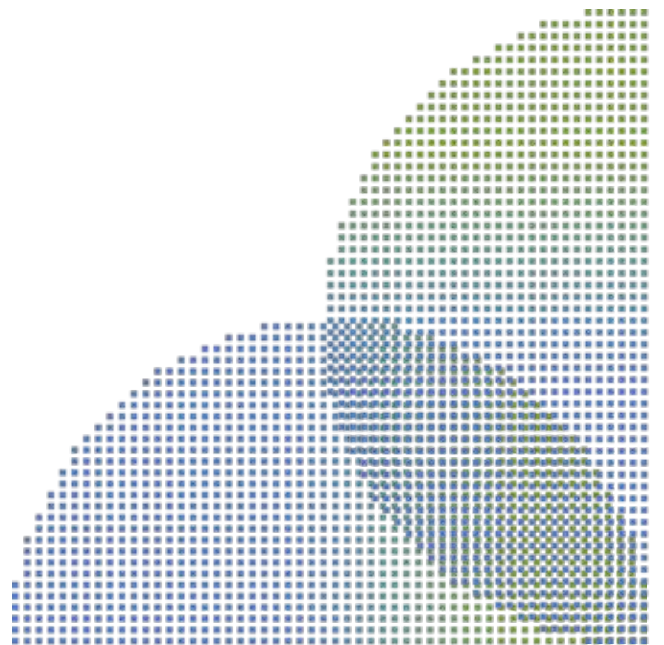
实现硅光芯片的量产并再次迎来“春天”,还需要看制造良率问题能否得到有效解决。

李志华介绍,在相同的工艺节点下,硅光芯片对工艺精度的要求比纯电子芯片要高很多。纯电子芯片通常使用金属导线作为传输介质,这些导线具有高导电性和高导热性,可以有效地传输信号并散热。虽然金属导线也有表面粗糙的情况,但由于其导电性和导热性较好,因此对信号传输的影响相对较小。

然而硅光芯片中的微波导主要传输光子,而光子具有波动性,易受到电磁场的影响。当微波导的边缘存在不平整或凸起时,可能会引发电磁场的不连续性,导致信号散射和能量损失。另外,光器件的性能对加工精度也十分敏感,微小的工艺误差可能导致器件性能的严重劣化,因此,硅光芯片对工艺精度更加严苛,导致硅光芯片良率降低。

若想有效解决硅光芯片的良率问题,并保证微波导的高性能传输,需要针对性地优化硅光制造工艺,以实现波导边缘的平滑和提高光器件加工精度,从而提高信号传输的质量,保障光器件的性能和可靠性。

(来源:中国电子报)





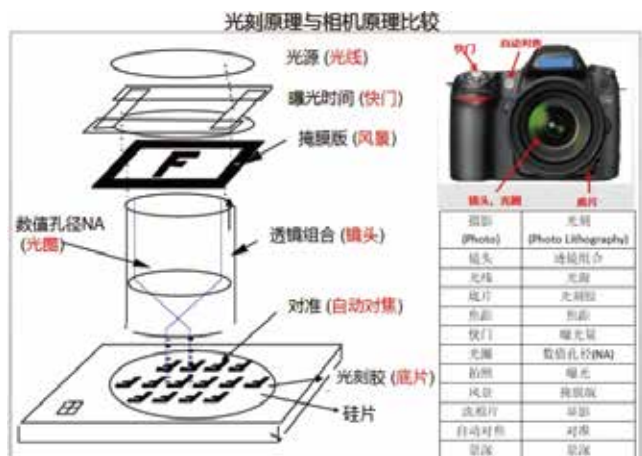
# 光刻胶, 知多少

在摩尔定律的引领下, 光刻工艺的不断进步使得集成电路尺寸越来越小, 集成度和性能不断提高, 单个晶体管的平均价格越来越低。其中光刻机经历了接触/接近、等倍投影、缩小步进投影、步进扫描投影等曝光方式的变革。曝光光源的波长也由紫外宽谱、436nm (g线) 一直发展到13.5nm (EUV)。制程节点从早年的数微米一直到目前的小于 7 纳米制程。那么光刻胶作为光刻工艺中最主要、最关键的材料, 又有着怎样的发展历程呢?

## 一、光刻胶与光刻原理

光刻胶是一种临时涂布在硅晶圆表面的感光材料, 在一定波长的光源照射下, 可以将掩模版上的图形转印到晶圆表面。光刻胶形成的图形作为阻挡层, 用于实现选择性刻蚀或者离子注入。

光刻原理与我们日常使用相机进行摄影的原理类似。如果把光刻机类比为照相机, 那么拍照时需要的光线相当于光刻机光源; 快门相当于曝光量; 光圈相当于数值孔径; 要拍的风景就相当于掩模版; 光刻胶就是类似相机胶片的感光材料, 能将镜头所对准的影像转移到底片上并最终在相纸上显像出来。



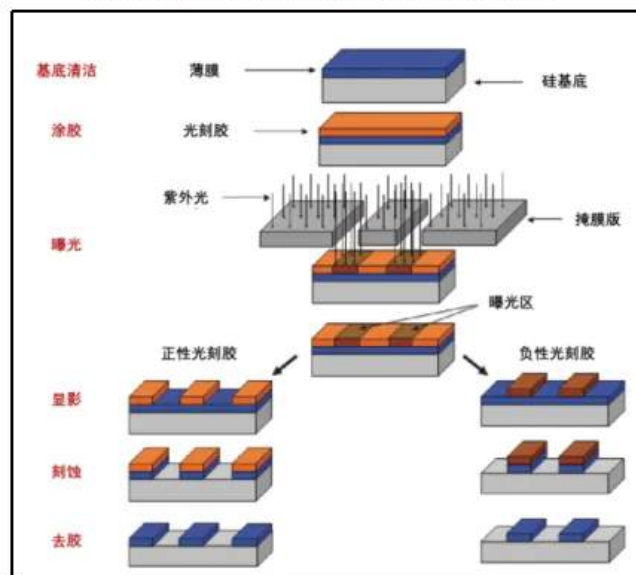
与胶片感光材料不同之处在于, 光刻胶只对紫外线感光, 对可见光不敏感, 对光的色彩和灰度也不灵敏。所以, 光刻胶使用上并不需要类似冲洗胶片的暗室。由于光刻胶对黄光不感光, 所以半导体光刻工艺

车间都使用黄光照明, 就是所谓的黄光区。

## 二、光刻胶的分类

根据曝光后光刻胶薄膜化学性质变化不同所导致的去留情况, 光刻胶可分为正性光刻胶和负性光刻胶。光刻胶在经过曝光后, 正性光刻胶被曝光区域可溶于显影液, 留下的光刻胶薄膜的图形与掩模版相同。负性光刻胶被曝光区域不溶于显影液, 所形成的图像与掩模版相反。相比正性光刻胶, 负性光刻胶在显影时易发生变形及膨胀, 通常情况下分辨率只能达到  $2\mu\text{m}$ , 因此造价较低。在实际生产中, 正性光刻胶的应用更为广泛。

正性光刻胶与负性光刻胶曝光结果对比示意图



资料来源: 《化学增敏型光刻胶成膜树脂的合成及性能研究》(蒋泽飞)

另外按照应用领域, 光刻胶可分为PCB光刻胶、面板光刻胶和半导体光刻胶。其中PCB光刻胶主要包括干膜光刻胶、湿膜光刻胶、感光阻焊油墨等; 面板光刻胶则主要是彩色及黑色光刻胶、TFT-LCD正性光刻胶、LCD触摸屏用光刻胶等; 半导体光刻胶随着曝光光源的波长的缩短, 光刻分辨率逐渐提升, 适用的IC制程工艺也越来越先进, 因此按照曝光光源波长从长到短, 可以分为紫外宽谱、g线、i线、KrF、ArF、EUV共六个主要类型。

光刻胶种类	光源类型	波长	制程工艺
紫外光刻	汞灯	280nm~460nm	2um 以上
g 线	汞灯	436nm	0.5um 以上
i 线	汞灯	365nm	0.5um~0.35um
KrF	KrF 准分子激光	248nm	250nm~130nm
ArF	ArF 准分子激光	193nm	130nm~7nm
EUV	激光激发等离子体	13.5nm	7nm 及以下

上世纪 80 年代末登场的 i 线光刻胶，将当时的先进制程从 0.6 $\mu$ m 推进到了 0.35 $\mu$ m，到目前依然广泛应用于 8 寸、12 寸客户。尽管在目前先进制程已经不再使用 i 线光刻胶，但是其依旧活跃在功率器件、化合物半导体的制造上。

功率及宽禁带半导体不追求线宽的细微化，光刻胶选取上更为重视粘附性、耐热性、耐蚀性及成本。同时，随着新时代 5G、智能电网、新能源汽车及充电桩、轨道交通、工业互联网等各类新基础设施的蓬勃发展，功率半导体市场将继续显著的扩大，i 线光刻胶的市场也将伴随其同步增长。

上世纪 90 年代中期，KrF 光刻胶的商业化，将当时的先进制程从 0.35 $\mu$ m 推进到了 0.25 $\mu$ m。目前，KrF 光刻胶广泛应用于 0.25 $\mu$ m 及以下各制程。同时，在 NAND 闪存从 2D 平面结构转为 3D 堆叠构架的过程中，厚膜 KrF 光刻胶大量使用于 3D NAND 堆叠架构的制作上。随着 5G、云计算、人工智能时代的来临，对大数据存储的急剧需求，使得 3D NAND 堆叠层数迅速增加，KrF 光刻胶的使用量也将大幅提升。

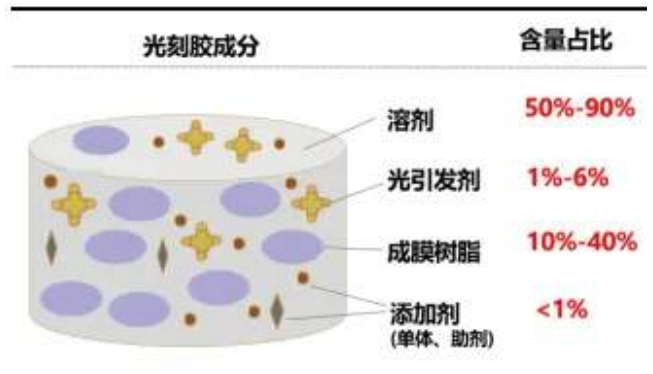
本世纪的前二十年以来，ArF 光刻胶一直是半导体先进制程领域性能最可靠、使用最广泛的光刻胶。EUV 光刻系统商用化延迟的 10 年里，在浸润式光刻系统、负显影工艺、多重光刻工艺等新技术、新工艺的辅助下，ArF 光刻系统不断突破瓶颈，将先进制程从 45nm 一直推进到了 7nm 工艺。目前，ArF 光刻胶主要用于先进制程的多重光刻工艺，其用量也随着市场对先进工艺产品的需求不断增长。

EUV 光刻技术的研发始于上世纪 80 年代，第一台 EUV 光刻机原型机 ADT 和预量产型号 NXE:3100 分别在 2006 年和 2010 年投入研发使用。2019 年，台积电和三星的 7nm EUV 制程开始量产，标准着集成电路制造正式迈入了 EUV 时代。

目前，EUV 光刻胶用于最先进逻辑芯片 (CPU, GPU) 和存储芯片 (DRAM) 的制造，并将先进制程迅速从 7nm，不断演进到 5nm 与 3nm。随着先进制程 EUV 光刻道次的增加 (从最初 7nm 上使用的 3 道，逐渐增加到 5nm 的 14 道和 3nm 的 22 道)，EUV 光刻胶的使用量将大幅增加。

### 三、光刻胶组成成分

光刻胶主要由成膜树脂、感光剂、溶剂和添加剂等四大部分组成。典型的光刻胶成分中，50%~90% 是溶剂，10%~40% 是成膜树脂，感光剂占 1%~6%，表面活性剂、均染剂及其他添加剂的占比不到 1%。



**成膜树脂**：由单体聚合而成的高分子聚合物树脂，作为图形转移的阻挡层，承受刻蚀和离子注入的过程。其特性决定了光刻胶的粘附性、化学抗蚀性、膜厚等基本性能。通常来说，曝光波长越短，光刻胶的树脂含量越低。

**感光剂**：在一定波长的光照下，光子激发材料中的光化学反应，改变成膜树脂在显影液中的溶解度。

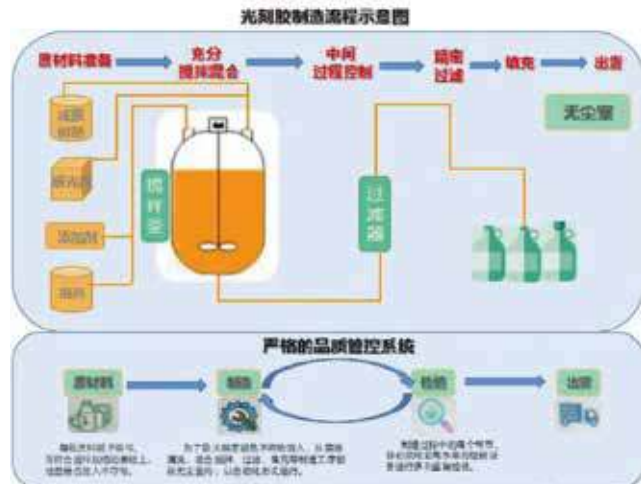
**溶剂**：用于溶解聚合物树脂和感光剂，使其悬浮在液态的光刻胶中，具有良好的流动性和均匀性，使光刻胶能够很容易涂布在硅片表面。

**添加剂**：包括表面活性剂、均染剂、碱性抑制剂等，用于改善和增强光刻胶特定的性能。

### 四、光刻胶性能的评估

光刻胶的性能主要通过灵敏度、对比度、抗蚀性、分辨率等指标来衡量。需要强调的是，光刻胶的研发与评估使用分属于两个不同的领域。前者是材料研发，后者是光刻工艺。一种光刻胶的好坏，并不能简单的以各个指标的绝对值进行判断，而是必须经过充足的光刻工艺评估，综合评价各指标与客户需求的匹配性。

<b>灵敏度</b> ■ Sensitivity ■ 衡量光刻胶在曝光中的响应速度 ■ 灵敏度决定了这一种光刻胶所需要的曝光剂量	<b>对比度</b> ■ Contrast ■ 线条粗糙度由边缘粗糙度导致线宽的偏离 ■ 图形偏差比决定显影过程中切底对图形精度影响	<b>抗蚀蚀比</b> ■ Etch Selectivity ■ 衡量光刻胶在光刻之后抵抗干法或湿法刻蚀的能力 ■ 抗蚀蚀比决定了需要的膜厚度	<b>分辨率</b> ■ Resolution ■ 衡量光刻胶在精密设备和工艺条件下，能够再现最小的图像尺寸 ■ 分辨率决定光刻胶能实现的制程
<b>光刻胶新能评估指标</b>			
<b>宽容度</b> ■ Latitude ■ 曝光宽容度决定了光刻胶所能承受曝光剂量变化 ■ 工艺宽容度决定了光刻胶所能承受工艺参数变化	<b>热流动性</b> ■ Thermal Flow ■ 基于光刻胶的玻璃化温度 ■ 热流动性会使显影后的图形变形	<b>黏度</b> ■ Viscosity ■ 衡量光刻胶液体的流动性 ■ 通过改变光刻胶溶剂比重来调节 ■ 直接影响光刻胶的成膜厚度	<b>保质期</b> ■ Shelf Life ■ 光引发剂若长期存放容易失活 ■ 长期存放也会导致溶剂挥发 ■ 储存瓶子要过滤敏感光



在实际研发与光刻工艺评估过程中，光刻胶的各项性能指标往往需要根据客户的应用需求进行调整。因此，光刻胶厂商在一个型号或者一个系列的光刻胶目录下，有十几个甚至几十个品种，以满足不同客户的需求。

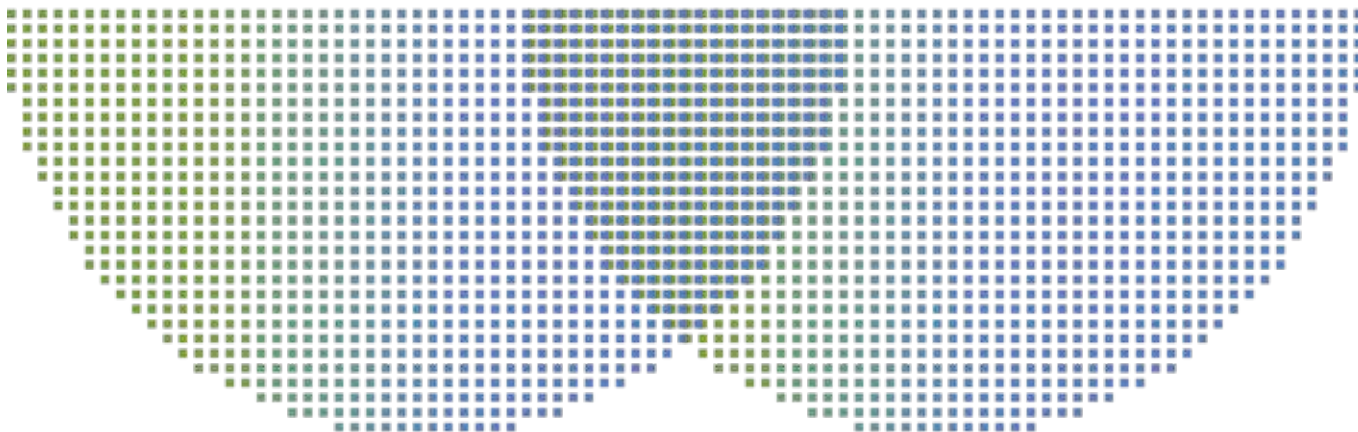
### 五、光刻胶制造与质控

光刻胶的制造过程是将原材料充分混合、搅拌形成均相液体，经过多次精密过滤，并通过中间过程控制和检验，使其达到相应的工艺技术和质量要求，在最终产品检验合格后，进行灌装、包装。目前，最先端制程上所使用的 ArF、EUV 光刻胶，其对光刻胶内的颗粒及金属杂质有着极高的要求。为了最大限度避免杂质混入，光刻胶的容器清洗、混合搅拌、过滤、填充等制造工序都在无尘室内，以自动化形式进行。

集成电路制造不仅对光刻胶的涂布均匀性、粘附性、耐热性、耐蚀刻性、膜厚和感度等各特性有质量要求，同时对光刻胶不同生产批次间长期的稳定性和一致性有极高的要求。

光刻胶生产过程中通过各步骤的分步控制，易于进行工艺上的调整，以保证在客户使用时不需调整各型设备的工艺参数仍能保证工艺的稳定性。因此，光刻胶生产商不仅仅要配置齐全最新的检验设备，还需要建立一套严格的生产过程执行系统和品质管理体系，以保证产品的质量稳定。

(来源:ICMPS冷知识)





# 何为车规级芯片

## 一、车规级芯片概述

车规级芯片 (Automotive Grade Chip) 是指那些专为汽车应用设计和制造,且满足严苛的汽车行业相关标准规定的芯片。这类芯片需要在极端温度范围、高振动、高压、高湿、EMI等恶劣环境中保持稳定可靠的性能,且通常要通过诸如AEC-Q系列认证的汽车行业质量标准的检验。

基于汽车安全性和可靠性要求极高的应用需求,任何芯片故障都可能导致严重的安全事故,为此车规级芯片相比于消费级或工业级芯片而言,具有更高的品质要求。当下,这类芯片被广泛应用于如发动机控制、刹车系统、安全系统、车载娱乐信息系统、ADAS等车载各个子系统中。

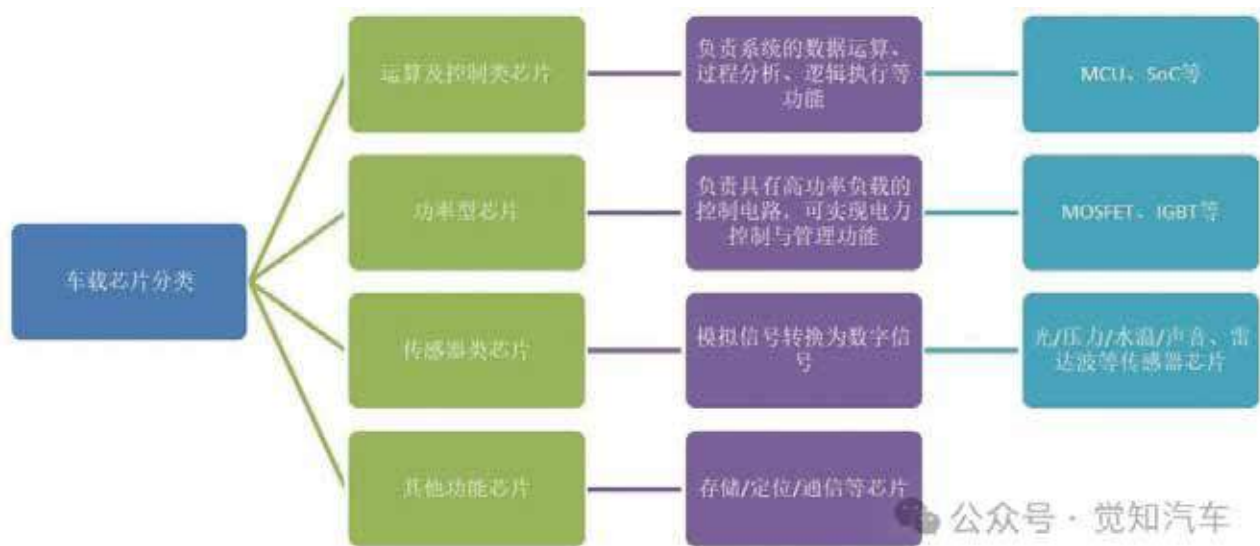
## 二、车载芯片分类

在芯片的车载应用中,根据其所执行的功能不同,通常可将其分为运算及控制类芯片、功率型芯片、传感器类芯片以及其他功能型芯片四大类。其中运算及控制类芯片主要负责系统的数据运算、过程分析、逻辑执行等功能,此类芯片是控制单元实现相关功能的基本平台,其包括如MCU、SoC等产品;

功率型芯片于控制单元中主要负责具有高功率负载的控制电路,是实现系统中电力控制与管理的关键零件,由于其所具有的电能转换特性,故也被称为电能转换芯片,于车载应用中如MOSFET、IGBT等产品;

传感器类芯片位于车载应用中的各式各样的传感器之中,其主要功能是通过对光、压力、水温等模拟信号的感知,并将其转换为可供系统识别的数字信号,以此让系统可准确地识别车辆运行中的各种工况,是实现车辆感知功能的重要组成部分;

其他功能型芯片主要指具有存储、通信、定位等功能的芯片。对车载芯片分类如下:



## 三、车规芯片与非车规芯片基本性能对比

当一款芯片被应用于控制单元中并实现了装车,那么该款芯片便需满足车载应用中的高可靠、高安全、高稳定等特性,同时为确保在车辆全生命周期中的生产及售后的应用,对于车载芯片在供货及质量上需达到10年以上供货周期且零缺陷的要求。在芯片产品的性能上,不同行业的基本要求如下表所示:

表1 车规与非车规芯片基本性能对比

	车规级	消费级	工业级	军工级
应用	汽车电子	手机、PC等	工业控制	军工应用
温度	-40℃~+150℃	0~70℃	-40℃~+85℃	+55℃~+150℃
湿度	0~100%	低	标准环境	0~100%
振动、冲击	高	低	标准	标准
寿命	10年	3~5年	5~10年	>10年
可靠性	高	低	标准	高
故障率	0%	<1%	<1%	0%
测试标准	AEC-Q100 AEC-Q101 AEC-Q102	JESD47等	JESD47等	MIL-STD-883等
系统认证	高	低	标准	高
特殊要求	防静电、耐冲击、耐潮湿和辐射	防水	防水、防震、抗辐射	防静电、耐冲击、耐潮湿和辐射

于上表所示的‘测试标准’一栏中，车规级芯片主要涵盖ISO 26262、AEC-Q100以及IATF 16949三类标准/体系。其中，ISO 26262为功能安全标准，主要被应用于产品的开发设计中。IATF 16949为汽车行业质量管理体系，该体系要求相关生产厂家需按其要求规范生产流程及过程，以保证工艺的稳定性、流程的合规性以及产品质量的高可靠性；

AEC-Q为AEC (Automotive Electronics Council, 汽车电子委员会) 针对车规半导体产品而制定的产品批次可靠性测试标准，该标准下，为保证车规半导体产品产出的质量稳定性，将对所生产的三个批次产品进行相关验证，唯有三批次皆通过测试，方能形成AEC-Q的测试报告。

根据车载半导体产品自身的差异以及在车载中的不同应用，其所采用的测试标准类别以及测试等级也有差异，具体如下所示：

表2 不同类型车载半导体AEC-Q测试标准

名称	测试项目
AEC-Q100	车载应用的集成电路产品应力测试标准
AEC-Q101	汽车级半导体分立器件应力测试标准
AEC-Q102	车用离散光电组件产品市场进入标准
AEC-Q103	汽车 MEMS 传感器的测试标准
AEC-Q104	车用多芯片模块可靠性测试标准
AEC-Q200	汽车上应用的被动元器件的产品标准

按照上述测试类型划分，车载芯片的产品批次可靠性测试标准应采用AEC-Q100。

表3 不同应用下的车载半导体AEC-Q测试等级

等级	系统	用途	验证标准
Grade-0	动力、安全系统	发动机管理、动力转向、刹车、安全气囊等	-40℃ ~ +150℃
Grade-1	车身控制系统	防盗、灯光、雨刷、门锁等	-40℃ ~ +125℃
Grade-2	行驶控制系统	仪表盘、座椅、空调、倒车雷达、车窗等	-40℃ ~ +105℃
Grade-3	通信系统	GPS 导航、移动通讯、FM 等	-40℃ ~ +85℃

此表表示当车规芯片位于不同车载系统并实现不同功能时，其所对应的测试等级也将不同。

#### 四、车规级芯片从开发到装车流程

与控制单元的开发流程类似，车规芯片的开发流程同样依循V模型，但由于芯片在车上无法单独应用，故在芯片开发过程中需配合相关控制单元进行功能及性能的验证，以此来确保产品的可靠，为此，一款车规级芯片从研发至量产所需的时间远远要长于控制单元等零部件的开发周期。

通常而言，按照整车开发流程，一款车规级芯片从设计到量产上车大约需要3.5-5.5年的时间，这其中功能安全的认证时间占据了一半以上。

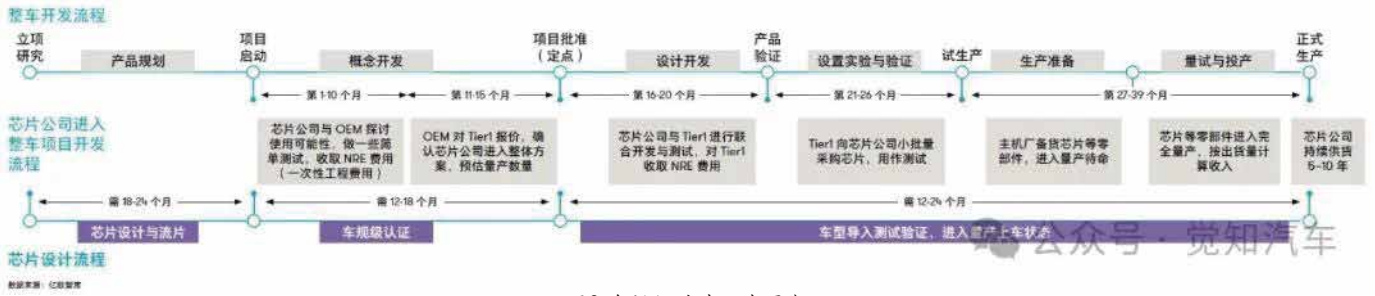


图2 车规级芯片开发周期

正由于车规芯片的开发周期过于长,同时开发一款专用芯片所需付出的成本代价也并非一般企业所能承受,因此于绝大部分主机厂、供应商而言,都不太可能会针对一项功能而去专门定制开发一款芯片。不过为了在某一特定领域占据绝对优势,基于现有芯片产品进行专用升级的做法在一些世界级企业中却也是常有的事情。

### 五、国产车规芯片相关工艺特点

由于车载产品的应用其所具有的物理空间较之消费类产品要更富足,同时相对而言,整车的静态功耗与消费类产品相比,其可接受范围也要更大些。因此,在车规级芯片的制造工艺中,其所追求的微型化水平也不像在消费类领域的应用那般,需达到7nm甚至5nm等超高水平。

基于此考虑,当前国内主流的车规级芯片的制造工艺主要选用了成熟度较高的制程,此制程下的工艺节点尺寸常大于28nm,而对于具有高算力、高集成度要求的如AI、SoC等类型芯片,在技术允许的前提下,多采用了28nm以下的制程工艺。对不同国产车规级芯片的工艺特性整理如下表:

表4 国产车规级芯片工艺特性

器件类型	主要系统	主要子系统	主要晶圆尺寸	主要制程工艺节点 (nm)
AI芯片、SoC、GPU	ADAS、信息娱乐	高性能FV摄像头、ADAS域控制器、自动驾驶主机、智能座舱域控制器、仪表盘、车机域控制器	12英寸	16、14、7、5
MCU	全部	每个ECU都有MCU	8英寸、12英寸	16-40
存储	ADAS、信息娱乐	信息娱乐主机、仪表盘、ADAS、智能摄像头、ADAS域控制器	12英寸	10-18
CIS	全部	摄像头	8英寸、12英寸	5-65
显示驱动IC	信息娱乐	数字仪表盘、智能主机、其他显示器	8英寸、12英寸	55-180
模拟/混合信号、电源管理IC、RF器件	全部	每个SoC和控制器都需要特定的电源管理IC;所有域中每个ECU中的模拟ASIC/ASSP;用于远程通信和控制的射频器件	8英寸	55-180
功率分立器件	eEV (HEV、PHEV等多种电力驱动系统)、逆变器	用于eEV、底层的电力电子设备	8英寸	180
MEMS传感器	全部	压力、流量、惯性、温度、红外镜	8英寸	180

(来源:觉知汽车)





## 氧化镓的进展

### 摘要

在美国,电能占一次能源使用总量的 40%,而且随着电动汽车、可再生能源发电和能源存储的出现,预计电能的使用量还将迅速增长,因此,电力电子产品正变得越来越重要。由于硅材料已达到极限,因此需要更适合大功率应用的新材料。 $\beta$ -相氧化镓( $\beta$ - $\text{Ga}_2\text{O}_3$ )的带隙为4.9eV,理论击穿电场为8 MV  $\text{cm}^{-1}$ ,Baliga 优值为 3300,是 SiC 和 GaN 的 3-10 倍,因此是一种很有前途的超宽带隙(UWBG)半导体材料,可用于大功率和射频电子器件。此外, $\beta$ - $\text{Ga}_2\text{O}_3$ 是唯一一种可以从熔体中生长的 WBG 材料,这使得低成本、高质量、可掺杂的大型衬底成为可能。在  $\beta$ - $\text{Ga}_2\text{O}_3$ 和 $\beta$ - $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ 异质结构的高质量外延生长方面所做的巨大努力,已经为大功率和射频应用带来了高性能器件。在本报告中,我们全面总结了 $\beta$ - $\text{Ga}_2\text{O}_3$ 场效应晶体管(FET)的研究进展,包括各种晶体管设计、沟道材料、欧姆接触形式和改进、栅极电介质和制造工艺。此外,还介绍了通过模拟提出但尚未在 $\beta$ - $\text{Ga}_2\text{O}_3$ 中实现的新型结构。此外,还讨论了缺陷表征方法和相关材料制备、热研究和管理等主要问题,以及所研究的替代品中缺乏p型掺杂的问题。最后,还将概述商业用途的主要战略和前景。

### 1.简介

功率半导体市场在2022年增长了30%,随着越来越多的电能通过功率电子器件传输,预计未来十年将由2019年的30%持续增长至80%[1,2]。大功率半导体应用分为大功率(低频)和高频、射频。Si功率器件在击穿电压达到 6.5kV 时达到极限,并且具有高达200 °C的高温耐力[3],而宽带隙(WBG)材料具有更高的效率、更大的额定功率、更高的开关速度和射频性能。虽然碳化硅(SiC)和氮化镓(GaN)一直是商用器件中占主导地位的宽带隙半导体,但是超宽带隙(UWBG)  $\beta$  相氧化镓( $\beta$ - $\text{Ga}_2\text{O}_3$ ) 正逐渐成为下一代大功率和射频电子器件的材料。

$\beta$ - $\text{Ga}_2\text{O}_3$ 的带隙为4.7-4.9 eV,理论击穿场强为8 MV  $\text{cm}^{-1}$ ,电子饱和速度高达 $2 \times 10^7 \text{cm s}^{-1}$ 。 $\beta$ - $\text{Ga}_2\text{O}_3$ 的反映直流传导损耗特性的巴利加优值(BFOM)和反映射频性能的约翰逊优值(JFOM),均高于氮化镓和碳化硅[4-7]。此外, $\beta$ - $\text{Ga}_2\text{O}_3$ 能够从熔体中生长出块状基底,使其与碳化硅和氮化镓相比具有显著的成本优势[8]。然而, $\beta$ - $\text{Ga}_2\text{O}_3$ 也面临着缺乏浅p型掺杂剂和热导率低的困难和挑战,这对于散热至关重要的大功率器件应用来说尤其困难。尽管已制造出具有高性能的p型氧化物异质结构,但是有关 $\beta$ - $\text{Ga}_2\text{O}_3$ 的研究大多仍集中在单极器件上。

随着材料质量和制造工艺的不断改进,大功率和射频 $\beta$ - $\text{Ga}_2\text{O}_3$ 场效应晶体管(FET)取得了长足进步。据报道,大功率横向场效应晶体管的击穿电压高达10 kV, BFOM接近1GW  $\text{cm}^{-2}$ ,而垂直器件尚未实现类似的性能。限制垂直场效应晶体管的因素主要是缺乏p型掺杂剂,这最大程度地降低了电流阻断能力、栅极电介质质量、稳定性和稳健性[9]。第3节中讨论的许多在横向场效应晶体管上完成测试的场效应晶体管结构和材料改进方法,同样可以应用于垂直器件。由于 $\beta$ - $\text{Ga}_2\text{O}_3$ 器件的单极性质,大多数 $\beta$ - $\text{Ga}_2\text{O}_3$  FET都是耗尽型(D-mode)或常开型。D型场效应晶体管的闭态电漏比增强型(E型)或常闭型场效应晶体管更为突出,但其制造难度更大,通常需要对异质界面进行能带弯曲,以耗尽现有沟道。射频场效应晶体管主要是横向器件,具有较薄的沟道层和高度扩展的栅极长度,可实现较强的栅极控制并减少寄生。利用 $\delta$ 掺杂和调制掺杂等技术,可形成具有高载流子浓度和迁移率的二维电子气体(2DEG)。据报道,该器件在高击穿电场下的最大振荡频率接近50GHz,显示了未来大功率射频 $\beta$ - $\text{Ga}_2\text{O}_3$  FET的发展潜力。随着该领域已经取得的巨大进步, $\beta$ - $\text{Ga}_2\text{O}_3$ 已成为大功率和高频应用的有力候选材料,但也并非没有挑战需要克服。

本文全面概述了 $\beta$ - $\text{Ga}_2\text{O}_3$  FET 的研究进展、当前面临的挑战以及克服这些挑战的潜在策略。第2节讨论晶体

结构和材料特性,包括 FOM 比较、晶体生长和外延生长以及 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的掺杂。第 3 节回顾了许多最新的应用于大功率和射频方面的晶体管设计。第3.1节重点介绍已实现的结构,以及通过技术计算机辅助设计 (TCAD) 提出的结构。第3.2节概述了采用不同沟道和衬底材料的场效应晶体管,如沟道中的半绝缘同质外延层或异质结构层,以及高导热衬底。第3.3节回顾了用于形成高质量欧姆接触的金属和工艺,第3.4节概述了用于 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> FET 的不同栅极电介质。第4节讨论了缺陷工程、各种表征方法和材料制备对提高界面质量的重要性。第5节概述了当前将 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>器件推向市场所面临的挑战以及步骤。第6节简要概述了 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> FET最有前景的应用和发展趋势。而后,第 7 节总结了 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的进展,并展望了 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的未来。

## 2. $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的晶体生长和材料特性

### 2.1 不同物相

1952 年, Roy 等人利用加利亚凝胶-水体系发现了Ga<sub>2</sub>O<sub>3</sub>的五种同分异构体( $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 和 $\epsilon$ ),并确定 $\beta$ 相为稳定形态 [14]。Yoshioka等人利用第一性原理计算发现,不同相的理论形成能依次为 $\beta < \epsilon < \alpha < \delta < \gamma$ ,证实了 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>是稳定的,而其他多晶体则表现出亚稳态特性,在高温下转变为 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>[15]。2013年, Playford等人通过Ga<sub>5</sub>O<sub>7</sub>(OH)在500°C以上的热分解发现了另一种亚稳态相( $\kappa$ ) [16]。Roy 等人和 Playford 等人汇编的相变见参考文献[17]。

$\beta$ -Ga<sub>2</sub>O<sub>3</sub>的晶体结构为单斜晶系,属于C2/m空间群,晶格常数为 $a=12.2 \text{ \AA}$ ,  $b=3.0 \text{ \AA}$ ,  $c=5.8 \text{ \AA}$ ,  $\alpha=90^\circ$ ,  $\beta=104^\circ$ ,  $\gamma=90^\circ$ (图 1a)。这种独特的结构具有两个Ga位点(一个为四面体几何结构,一个为八面体几何结构)和三个 O 位点,导致其许多材料特性具有高度各向异性[18-21]。

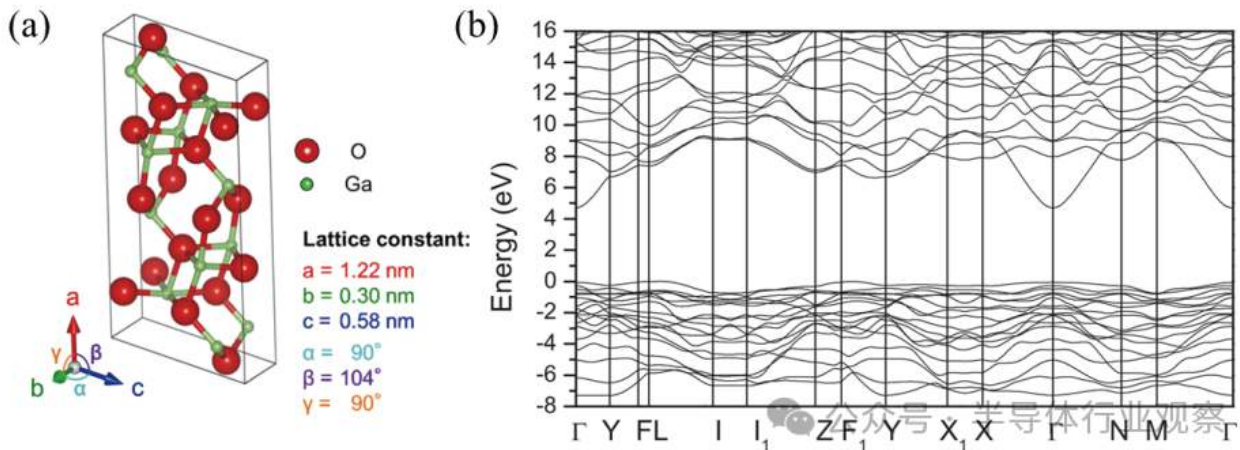


图 1: (a)  $\beta$ -Ga<sub>2</sub>O<sub>3</sub>单胞。转载自 [22]。© IOP 出版社。经许可转载。版权所有。(b)  $\beta$ -Ga<sub>2</sub>O<sub>3</sub>带图。经授权转载自 [19]。版权归美国物理学会 2017 年所有。

### 2.2 材料特性

利用第一原理密度泛函理论(DFT)计算出 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的能带结构如图 1b)显示,其间接带隙为 4.84 eV,直接带隙为 4.88 eV;然而,由于 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的带隙非常接近,因此在很大程度上被认为是直接带隙半导体。导带色散估计电子有效质量 $\approx 0.28 m_e$ ,其中  $m_e$  为静止电子质量。然而,价带几乎没有色散,因此,由于空穴的局部自俘获,价带显示出非常大的空穴有效质量[19,23]。

实验观测到的带隙范围在 4.7 到 4.9 eV 之间 [19,24],预测临界击穿电场  $E_{br}$  为 6-8 MV cm<sup>-1</sup>。为了比较半导体在高功率应用中的优越性,人们开发了各种优越性指标(FOM),下面将对这些指标进行讨论。巴利加优值(Baliga FOM, BFOM)是对材料直流传导损耗的估计,定义为 $\epsilon \cdot \mu \cdot E_{br}^3$ (其中 $\epsilon$ 为材料介电常数, $\mu$ 为载流子迁移率)和器件的 $V_{br}^2 R_{on,sp}^{-1}$ (其中 $V_{br}$ 为击穿电压, $R_{on,sp}$ 为具体的导通电阻)。 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的理论巴利加优值约为28 GW cm<sup>-2</sup>,是硅的3214倍。其他功率器件指标包括代表功率频率能力的约翰逊优值(JFOM)、衡量开关损耗的巴利

加高频优值 (BHFFOM)、表示功率密度和导热速度性能的凯斯优值, 以及作为芯片领域要求指标的黄芯片领域制造优值 (HCAFOM)。表1总结了 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>与其他材料相比的材料特性和优值[6,12,25]。

值得注意的是, $\beta$ -Ga<sub>2</sub>O<sub>3</sub>在[010]晶向的热导率为 27.0 W m<sup>-1</sup> K<sup>-1</sup>, 而在[100]晶向的热导率为10.9 W m<sup>-1</sup> K<sup>-1</sup> [26]。与其他(超)宽带隙((U)WBG)材料相比,[010] $\beta$ -Ga<sub>2</sub>O<sub>3</sub>和[100] $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的热导率差异似乎并不大;然而,模拟结果表明,器件的最大温升与热导率呈递减关系,[100]和[010] $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的模拟最大温升分别约为105 °C和61 °C。另一方面,碳化硅和金刚石的模拟最大温升分别约为34 °C 和30 °C[27]。

在低于10<sup>18</sup>-10<sup>19</sup>的低掺杂浓度下,电子与极性纵向光学(LO)声子的相互作用被认为是主要的散射机制,从而将理论体迁移率限制在 $\leq 250\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ ,而在较高的掺杂浓度下,杂质散射则占主导地位[28-30]。尽管 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的迁移率较低,但 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>保持比GaN和SiC更高的优值,这是因为 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>与击穿电压呈平方或立方关系,而与迁移率仅呈线性关系。

Material Properties	Si	GaAs	4H-SiC	GaN	$\beta$ -Ga <sub>2</sub> O <sub>3</sub>	Diamond
Bandgap, E <sub>g</sub> (eV)	1.1	1.4	3.3	3.4	4.9	5.5
Dielectric Constant, $\epsilon$	11.8	12.9	9.7	9	10	5.5
Breakdown field, E <sub>br</sub> (MV cm <sup>-1</sup> )	0.3	0.4	2.5	3.3	8	10
Electron mobility, $\mu$ (cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup> )	1480	8400	1000	1250	200-250	2000
Saturation velocity, v <sub>sat</sub> (10 <sup>7</sup> cm s <sup>-1</sup> )	1	1.2	2	2.5	1.8-2	1
Thermal conductivity, $\lambda$ (W m <sup>-1</sup> K <sup>-1</sup> )	150	55	270	210	10.9-27	1000
BFOM = $\epsilon_r \mu E_{br}^3$	1	14.7	317	846	3214	24,660
JFOM = $E_{br}^2 v_s^2 / 4\pi^2$	1	1.8	278	1089	2844	1100
BHFFOM = $\mu E_{br}^2$	1	10.1	46.3	100.8	142.2	1501
Keyes FOM = $\lambda [(c \cdot v_s) / (4\pi\epsilon)]^{1/2}$	1	0.3	3.6	1.8	0.2	41.5
HCAFOM = $\epsilon \mu^{0.5} E_{br}^2$	1	5	48	85	279	619

表 1. 与其他半导体相比,  $\beta$ -Ga<sub>2</sub>O<sub>3</sub>的材料特性和相对于Si的优值 [6,12,31]

### 2.3 晶体生长

$\beta$ -Ga<sub>2</sub>O<sub>3</sub>的最大优势之一是可以透过熔融生长实现超低成本、大尺寸(直径100-150毫米)、高质量衬底的潜力。 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>是唯一可以从熔体中生长的宽带隙半导体,因此, $\beta$ -Ga<sub>2</sub>O<sub>3</sub>晶片的成本预计将比SiC便宜约80%[8]。不同的块状晶体生长技术有:导模法(EFG) [32,33]、悬浮熔融法(CZ) [34]、垂直布里奇曼(VB) [35,36]、浮区法(FZ) [37,38]和维尔纳伊法[39,40]。在所有方法中,EFG迄今已生长出大尺寸、高质量、低缺陷密度且掺杂范围相对较宽的衬底 [22,41]。

### 2.4 外延生长

目前已开发的 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>薄膜生长方法主要包括分子束外延(MBE)、等离子体辅助外延(PAMBE)、金属有机化学气相沉积(MOCVD)、卤化物气相外延(HVPE)和低压化学气相沉积(LPCVD)。MBE的优点是能生长出杂质较少的高质量薄膜,并能精确控制生长速度和掺杂量(10<sup>16</sup>-10<sup>20</sup>cm<sup>-3</sup>)。但是,它的生长速率较低,仅为0.05-0.18  $\mu\text{m h}^{-1}$ ,这使得它不适用于垂直器件中的厚外延层,但却是横向薄沟道器件的理想选择。PAMBE使用活性氧源来帮助 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>薄膜的生长,并已被证明可降低背底(非故意)杂质浓度[42-44]。MOCVD也被称为金属有机气相外延(MOVPE),也能以0.8  $\mu\text{m h}^{-1}$ 的较高生长速率生长出掺杂量可控(10<sup>17</sup>-8  $\times 10^{19}$  cm<sup>-3</sup>)的高纯度薄膜,且成本低于MBE,这使得MOCVD有利于大规模生产。HVPE的最小掺杂浓度为10<sup>15</sup> cm<sup>-3</sup>量级,生长速率相当高,据报道最大生长速率为250  $\mu\text{m h}^{-1}$ 。因此,它被用于垂直器件的厚外延层生长[45]。HVPE生长速率较高是以薄膜质量较低,表面较粗糙,缺陷较多为代价的。LPCVD是一种可规模化且成本较低的方法,可生产出高质量的薄膜,生长速率在0.5到10  $\mu\text{m h}^{-1}$ 之间,掺杂量在10<sup>17</sup>-10<sup>19</sup> cm<sup>-3</sup>范围内可控,并具有异质结性能 [46,47]。LPCVD是三种生长技术中使用最少的,但可以为大规模生产水平的 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>晶圆提供途径。此外,与HVPE不同的是,MBE、MOCVD和LPCVD可以生长异质结构。关于这些生长方法的更多详情,请参阅文献[17,48,49]。



### 2.5 掺杂策略

我们利用DFT计算找到了 $\beta\text{-Ga}_2\text{O}_3$ 带隙中各种杂质、氧空位 (VO) 和镓空位 (VGa) 的能级。氧空位是导带 (EC) 下方 超过1 eV的深施主, 而镓空位是价带 (EV) 上方 超过1 eV的深施主 [50,51]。这些空位对传导没有贡献, 只是起到掺杂补偿的作用。通过 DFT 发现的浅施主包括 SiGa(I) (GaI 位点中的Si杂质)、GeGa(I)、SnGa(II)、ClO(I) 和 FO(I), 其能级非常接近 EC [52]; 然而, 实验中使用的供体大多是Si、Sn和 Ge [53,54]。N、Sr、Zn、Cd、Ca、Be、Mg 和 Fe 等受体杂质的能级都比 EV 高出 1.3 eV 以上, 这表明不可能进行 p 型掺杂, 这也是 $\beta\text{-Ga}_2\text{O}_3$ 器件发展的一大挑战 [50,55]。深受主用于形成高阻半绝缘层。

利用随温度变化的霍尔和电导率测量值计算出MBE、LPCVD、CZ 和 EFG 样品中 Si 和 Ge 的施主能级在 EC 以下 15 到 31 meV 之间, 表明为浅施主, 而 Mg 和 Fe 的施主能级分别位于 EC-0.86 eV 和 EC-1.1 eV [53]。当载流子浓度接近 $10^{15} \text{ cm}^{-3}$ 时, 迁移率随载流子浓度关系的变化预计在  $250 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  处趋于平缓, 当载流子浓度超过 $10^{17} \text{ cm}^{-3}$  时, 迁移率会显著下降 (图 2) [31]。

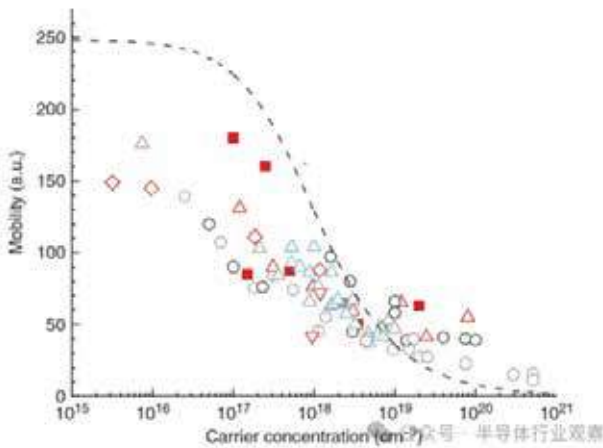


图 2. 各种晶体和薄膜技术生长的 $\beta\text{-Ga}_2\text{O}_3$ 层中, 硅、锡和锗掺杂的电子迁移率与载流子浓度的关系。经许可改编自 Chen 等人 [31] © 2023 John Wiley & Sons

虽然使用常规方法无法实现p型掺杂, 但一些研究小组已经观察到了当补偿供体减少时空穴更容易传导[56]。通过使用两性锌掺杂降低载流子的平均自由程, 薄膜 $\beta\text{-Ga}_2\text{O}_3$ 的p型电导率达到了 $13.2 \text{ MV cm}^{-1}$  的超高击穿场强, 超过了 $\beta\text{-Ga}_2\text{O}_3$ 的理论击穿场强 [57]。另一种在高n型电导率和p型电导率之间进行调节的技术是控制H的掺入, 在H直接扩散后, 观察到p型电导率的受主态高于EV 42 meV, 而在氧气中退火填充氧空位后观察到n型电导率的施主态低于EC 20 meV [58]。

### 3. $\beta\text{-Ga}_2\text{O}_3$ FET设计

下文回顾了许多当前的场效应晶体管设计, 包括其结构、沟道材料、衬底材料、欧姆接触形成和栅极电介质。此外, 还讨论了它们的工艺步骤、使用案例、优点和缺点。下表比较了用于 D 型大功率 (表 2)、E 型大功率 (表 3) 和 D-/E 型射频应用 (表 4) 的多种不同器件设计。表 4 还包括成熟的 GaN HEMT 和新兴氢端金刚石 HEMT 的射频性能, 以说明其他材料系统与 $\beta\text{-Ga}_2\text{O}_3$ 的性能差异。

Ref.	FET Design	On/Off	$I_{D,max}$ (mA mm <sup>-1</sup> )	$V_{br}$ (V)	$E_{br}$ (MV cm <sup>-1</sup> )	$R_{on,sp}$ ( $\Omega \text{ cm}^2$ )	$\mu$ (cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup> )	BFOM (MW cm <sup>-2</sup> )
[80]	Recessed gate	$10^9$	40	505	0.84	17.2 m	106	14.8
[81]	Multi-fin vertical FET	$10^8$	$230 \text{ A cm}^{-2}$	2.66 k	NR	25.2 m	40	280
[82]	SOI on SiO <sub>2</sub> /Si	$10^{10}$	450	185	2	$20 \Omega \text{ mm}$	55.2	NR
[83]	Mg-diffused CAVET	$10^9$	$150 \text{ A cm}^{-2}$	72	NR	NR	7.5	NR
[84]	Vertical U-trench w/CBL	$6.4 \times 10^4$	$11 \text{ A cm}^{-2}$	102	NR	1.48	NR	0.007
[76]	p-NiO/SiO <sub>2</sub> gate oxide	$10^8$	NR	2.96 k	0.985	115 m	NR	76
[75]	p-NiO gate oxide	$10^7$	43.2	1.98 k	3.3	13.8 m	140	284
[85]	Back-gate SOI on SiO <sub>2</sub> /Si p-SnO on top	$2.26 \times 10^6$	14.1	NR	NR	NR	191	NR
[86]	SOI on SiO <sub>2</sub> /Si HfO <sub>2</sub> gate oxide	$10^5$	11.1	80	0.16	82 m	81	0.078
[87]	Multi-stack gate: HZO/Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> /Al <sub>2</sub> O <sub>3</sub>	$10^8$	23.2	2.14 k	3.45	24 m	97	193

表 2. D 型大功率场效应晶体管的性能比较

Ref.	Type	Structure	On/Off	$I_{D,max}$ (mA mm <sup>-1</sup> )	$V_{br}$ (V)	$E_{br}$ (MV cm <sup>-1</sup> )	$\mu$ (cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup> )	$f_T$ (GHz)	$f_{max}$ (GHz)	$G_p$ (dB)	$G_T$ (dB)	$P_{out}$ (mW mm <sup>-1</sup> )	PAE (%)	$f_1 V_{br}$ (THz V)	$v_{sat}$ ( $f_1 I_{D,max}$ 2π) (cm s <sup>-1</sup> )
[88]	D-M	T-gate delta-doped MESFET	10 <sup>8</sup>	260	150	1.07	70	27	16	NR	NR	NR	NR	4.05	2.01 × 10 <sup>6</sup>
[89]	D-M	SAG	10 <sup>8</sup>	Pulsed ≈ 300	NR	NR	74	NR	NR	NR	13	715	23.4	NR	NR
[90]	D-M	Recessed gate SiO <sub>2</sub> passivation	10 <sup>6</sup>	150	NR	NR	96	3.3	12.9	5.1	1.8	230	6.3	NR	1.45 × 10 <sup>6</sup>
[91]	D-M	Tri-gate FinFET	NR	88	NR	NR	NR	5.4	11.4	NR	NR	NR	NR	NR	1.19 × 10 <sup>6</sup>
[92]	D-M	SiO <sub>2</sub> GFP	NR	58	NR	NR	NR	NR	NR	4.81	NR	130	22.4	NR	NR
[93]	D-M	T-gate, SiN <sub>x</sub> passivation SiO <sub>2</sub> gate oxide	1.23 × 10 <sup>5</sup>	285	192	5.4	80	11	48	NR	NR	NR	NR	2.112	2.45 × 10 <sup>6</sup>
[94]	D-M	T-gate, shallow ion-implanted channel	10 <sup>8</sup>	165	193	2.09	23	29	35	7	NR	11.2 dBm	11.6	5.997	2.73 × 10 <sup>6</sup>
[95]	D-M	OA, SiN <sub>x</sub> , T-gate Multi-stack gate oxide	10 <sup>9</sup>	200	NR	NR	75	1.8	4.2	3.6	NR	430	6.42	NR	1.13 × 10 <sup>6</sup>
[96]	D-M	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub>	NR	Pulsed ≈ 80	NR	NR	NR	14	22	NR	NR	NR	NR	NR	1.76 × 10 <sup>6</sup>
[97]	E-M	AlGO/GO HFET	1.55 × 10 <sup>5</sup>	74	23	1.35	NR	30	37	NR	NR	NR	NR	NR	3.02 × 10 <sup>6</sup>
GaN and Diamond RF FETs															
[98]	D-M	GaN HEMT	10 <sup>8</sup>	1000	60	0.4	1900	304	205	8	NR	5100	23.6	6.24	9.88 × 10 <sup>6</sup>
[99]	D-M	GaN HEMT	3 × 10 <sup>5</sup>	Pulsed 1300	50	NR	1423	156	308	15	NR	2500	70	7.8	5.89 × 10 <sup>6</sup>
[100]	D-M	Diamond HEMT	NR	500	121	0.81	101	6.2	17	12.2	NR	4200	21.5	0.75	3.51 × 10 <sup>6</sup>

表 3. E 型大功率场效应晶体管的性能比较

Ref.	FET Design	On/Off	$I_{D,max}$ (mA mm <sup>-1</sup> )	$V_{br}$ (V)	$E_{br}$ (MV cm <sup>-1</sup> )	$R_{on,sp}$ (Ω cm <sup>2</sup> )	$\mu$ (cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup> )	BFOM (MW cm <sup>-2</sup> )
[59]	MESFET, T-gate + SFP, OA	10 <sup>6</sup>	3.3	10 k	1	2.92	NR	>34.2
[60]	Delta-doped MESFET w/GFP	10 <sup>7</sup>	180	315	2.3	NR	73	118
[61]	Delta-doped SAG	10 <sup>3</sup>	560	NR	NR	NR	65	NR
[62]	Recessed and T-gate	10 <sup>9</sup>	49	1.80 k	1.8	20.9 m	128	155
[63]	Tri-gate lateral FinFET	10 <sup>10</sup>	187	1.13 k	4.2	1.34 m	184	950
[64]	Composite + SU8 GFP	10 <sup>9</sup>	40	7.16 k	1.79	8.98	NR	5.71
[65]	SFP, T-gate, Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> gate oxide	10 <sup>9</sup>	230	1.40 k	2.90	7.08 m	NR	277
[66]	Scaled T-gate MESFET	10 <sup>4</sup>	60	2.45 k	2.08	17.3 m	84	347
[67]	SOI on sapphire	10 <sup>8</sup>	232	800	NR	7.41 m	137	86.3
[68]	Back-gate SOI on SiO <sub>2</sub> /Si	10 <sup>10</sup>	1500	NR	NR	NR	NR	NR
[69]	CAVET, N <sup>++</sup> ion implant	10 <sup>8</sup>	420 A cm <sup>-2</sup>	25	NR	31.5 m	140	NR
[70]	AIGO/GO w/GFP	10 <sup>8</sup>	NR	1.37 k	0.86	120 m	101	15.6
[71]	SOI on AlN/Si	10 <sup>9</sup>	580	118	1.04	1.44 m	82.9	9.70
[72]	SiC/GO composite wafer	10 <sup>8</sup>	NR	2.37 k	1.23	18.4 m	94	303
[73]	SOI on Diamond	NR	980	NR	NR	NR	NR	NR
[74]	p-NiO gate oxide	10 <sup>10</sup>	450	1.12 k	2.48	3.19 m	NR	390
[75]	p-NiO gate oxide	10 <sup>10</sup>	282	2.15 k	3.5	6.24 m	130	740
[76]	p-NiO/SiO <sub>2</sub> gate oxide	10 <sup>9</sup>	300	1.32 k	1.47	4.30 m	NR	405
[77]	p-SnO gate oxide	10 <sup>6</sup>	100	750	1.9	3.15 m	100	178
[78]	BTO (ε≈235) gate oxide	10 <sup>5</sup>	359	640	1.5	1.08 m	72	376
[79]	Al <sub>2</sub> O <sub>3</sub> /BTO gate oxide	10 <sup>7</sup>	220	840	4.10	1.72 m	85	408

表 4. D/E 型射频场效应晶体管的性能比较

### 3.1 β-Ga<sub>2</sub>O<sub>3</sub> FET 结构

#### 3.1.1 MESFET 和δ掺杂

图3a中的金属半导体场效应晶体管(MESFET)由Higashiwaki等人制造,它是第一个被证实的单晶β-Ga<sub>2</sub>O<sub>3</sub>晶体管[101]。Rajan小组随后报告的许多MESFET都采用了δ掺杂技术[60,88,102-106]。Krishnamoorthy等人[102]于2017年首次开发了δ掺杂技术,试图在PAMBE外延层生长过程中改善硅掺杂。硅源迅速氧化,降低了β-Ga<sub>2</sub>O<sub>3</sub>中的硅掺杂水平,产生了掺杂尖峰。每间隔1分钟对硅快门进行1秒钟的脉冲处理,可去除氧化物,并产生具有UID间隔的均匀高掺杂区域(图3b),从而产生了用于β-Ga<sub>2</sub>O<sub>3</sub>器件的δ掺杂方法。这就产生了二维电子气(2DEG)、高电子迁移率晶体管(HEMT)行为,提高了载流子面浓度和迁移率,并降低了接触电阻和面电阻。与MOSFET相比,MESFET的这些改进和更低的栅极电容使δ掺杂的MESFET更适合射频应用。在"再生层"一节中讨论的再生欧姆接触是δ掺杂FET达到2DEG所必需的,因为它被UID β-Ga<sub>2</sub>O<sub>3</sub>所包围。Rajan小组利用再生触点、栅极连接场板(GFP)和栅极长度(LG)低至120nm的高比例T型栅极结构制造了δ掺杂的MESFET,以改善其低频和高频性能,其BFOM值为118MW cm<sup>-2</sup>[60],迁移率为95cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>[104],电流增益截止频率(f<sub>T</sub>)为27GHz(图3c)[88]。3.1.5节和3.1.7节还分别讨论了GFP和T型栅极结构。

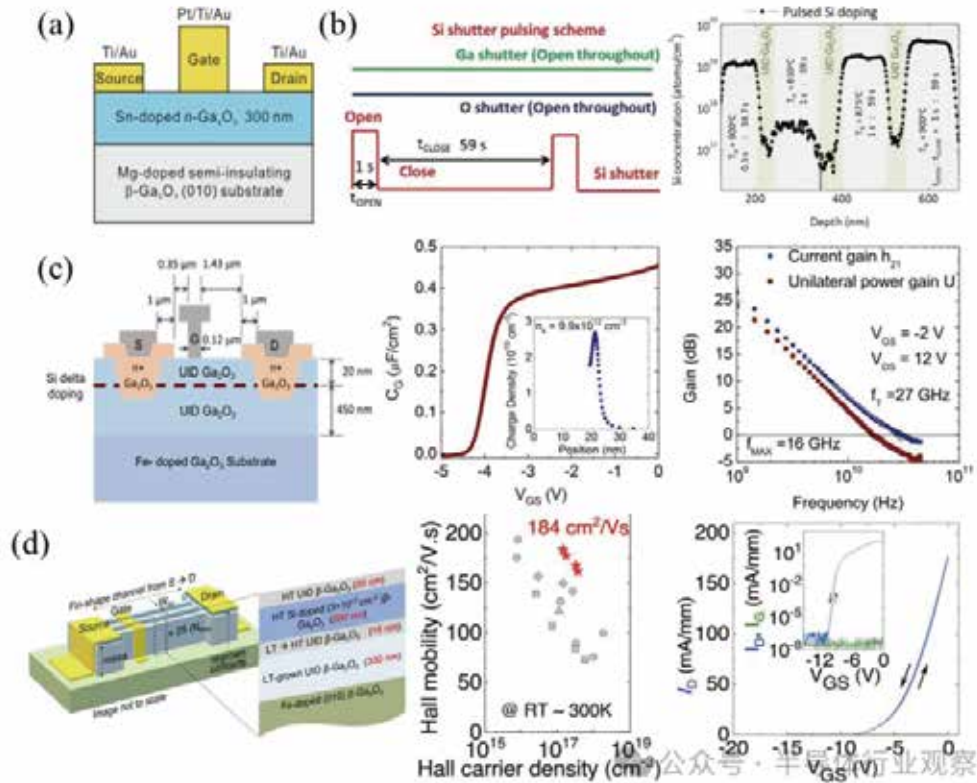


图 3. (a) 2013 年报道的首个 MESFET。经 AIP 出版社许可，转载自 [101]。(b) 快门脉冲方案和掺杂变化，显示交替的 UID 层和均匀掺杂层。转自 [102]。© 日本应用物理学会。经 IOP 出版有限公司许可转载。保留所有权利。(c) 具有高截止频率和最高频率的高比例 $\delta$ 掺杂 T 型栅极。© (2019) IEEE。经授权转载自 [88]。(d) 具有低温/高温生长层的三栅 MESFET，具有超高迁移率和可忽略的 I-V 回滞。© (2022) IEEE。经授权转载自 [63]

Bhattacharyya 等人报道了高性能、非 $\delta$ 掺杂的横向 MESFET，他们结合使用了可实现  $8.3 \times 10^{-7} \Omega \text{ cm}^2$  低接触电阻率的再生欧姆触点 [107]、Vbr 高达 4.4kV 的 GFP [108,109]，以及由变温 MOCVD 生长层包围的鳍状沟道设计，实现了  $184 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  的迁移率、可忽略的回滞和  $0.95 \text{ GW cm}^{-2}$  的 BFOM 值 [63]。 $\text{Al}_2\text{O}_3$  和  $\text{SiN}_x$  等钝化层也可用于改善低频 BFOM 值和高频的黄氏材料优值 (HMFOM) [63,66]。目前报道的最高击穿电压为 10kV 的场效应晶体管，采用具有 T 型栅极结构、源极连接场板 (SFP)、 $\text{SiN}_x$  钝化、氧退火 (OA)、硅离子注入、沟道区周围 UID 缓冲层以及用于器件隔离的 B 植入的 MESFET 设计实现的 [59]。这些器件改进将在后面的章节中详细讨论。

### 3.1.2 自对准栅 (SAG) 场效应晶体管

自对准栅 (SAG) 场效应晶体管设计是一种众所周知的工艺，其开发目的是通过减小源极-栅极间距 (LSG) 来降低串联电阻和扩大器件规模，从而从根本上消除源极-栅极接入区。最早由 AFRL 开发的  $\beta\text{-Ga}_2\text{O}_3$  SAG FET 是通过使用等离子体辅助原子层沉积 (PA-ALD) 方法首先沉积  $\text{Al}_2\text{O}_3$  栅极电介质来设计的，它起到离子注入帽的作用。为了保护栅极和漂移区，还图案化了能承受高离子活化温度的 W 或 W/Cr 难熔金属栅极。然后，通过硅离子注入法对源栅和漏栅接入区进行高深度掺杂，并在  $\text{N}_2$  环境下  $900^\circ\text{C}$  快速退火 (RTA) 2 分钟 [89,110]。然后通过反应离子蚀刻 (RIE) 从漂移区蚀刻栅极金属，形成欧姆触点 (图 4a)。在这些器件中测得接触电阻 (RC) 低至  $1.5 \Omega \text{ mm}$ ，面电荷密度 (ns) 为  $4.96 \times 10^{12} \text{ cm}^{-2}$ ，霍尔迁移率为  $48.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  [110]。据报道，这些早期的 SAG FET 的射频负载牵引连续波 (CW) 功率测量结果显示，在 1GHz 频率下，其输出功率 (Pout)、换能器增益 (GT) 和功率附加效率 (PAE) 分别高达  $715 \text{ mW mm}^{-1}$ 、13 dB 和 23.4% (图 4a) [89,111]。

最近一种 PAMBE 生长的  $\delta$  掺杂 SAG FET 结构采用了  $\delta$  掺杂、原位 Ga 刻蚀栅极凹槽和原位  $\text{Al}_2\text{O}_3$  栅极介质生长技术，实现了低于 100nm 的源栅和栅漏接入区 [61]。首先生长 30nm 的掺镁层以补偿基底/外延界面上的硅杂质，再生长 500nm 的 UID 缓冲层。然后，生长两个相距 5nm 的  $\delta$  掺杂层、另一个 40nm 的 UID 层和一个 45nm 的 n++ 覆盖



层。n++覆盖层可替代离子注入，从而实现 SAG。SAG 制造工艺 (图 4b) 始于欧姆接触制备和 等离子体增强化学气相沉积(PECVD)的SiNx, 并进行图案化处理以暴露栅极区域。将样品放入MBE系统, 在550 °C的基底温度和1.5 × 10<sup>-7</sup>Torr的镓流量氛围下对n++覆盖层进行原位镓刻蚀。在600 °C的温度下去除镓液滴, 然后在400 °C的温度下原位沉积10nm的Al<sub>2</sub>O<sub>3</sub>。采用共形非原位ALD方法在栅极和侧壁区域均匀沉积60nm的Al<sub>2</sub>O<sub>3</sub>。Al<sub>2</sub>O<sub>3</sub>的各向异性RIE和各向同性BOE湿蚀刻将栅极和侧壁介电层厚度分别减小到20nm和50nm。对于本征β-Ga<sub>2</sub>O<sub>3</sub>基底面上的横向场效应晶体管来说, 其性能优于先前的SAG场效应晶体管, 其源极-栅极接入电阻为1.3Ω mm, ns为2.8 × 10<sup>13</sup>cm<sup>-2</sup>, 迁移率为65cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>, 其直流和脉冲漏极电流峰值分别达到了创纪录的560mA mm<sup>-1</sup>和895mA mm<sup>-1</sup>。由于栅极电介质质量较差或界面上镓滴残留, 该FET表现出较高的栅极漏电流和较低的电流开/关比。如图4b中红色虚线所示, 在直流测量中观察到漏极电流的下降, 表明存在过度的自发热。尽管SAG FET的应用尚未转嫁到垂直器件中, 但仍有望提高低频和高频的工作性能。

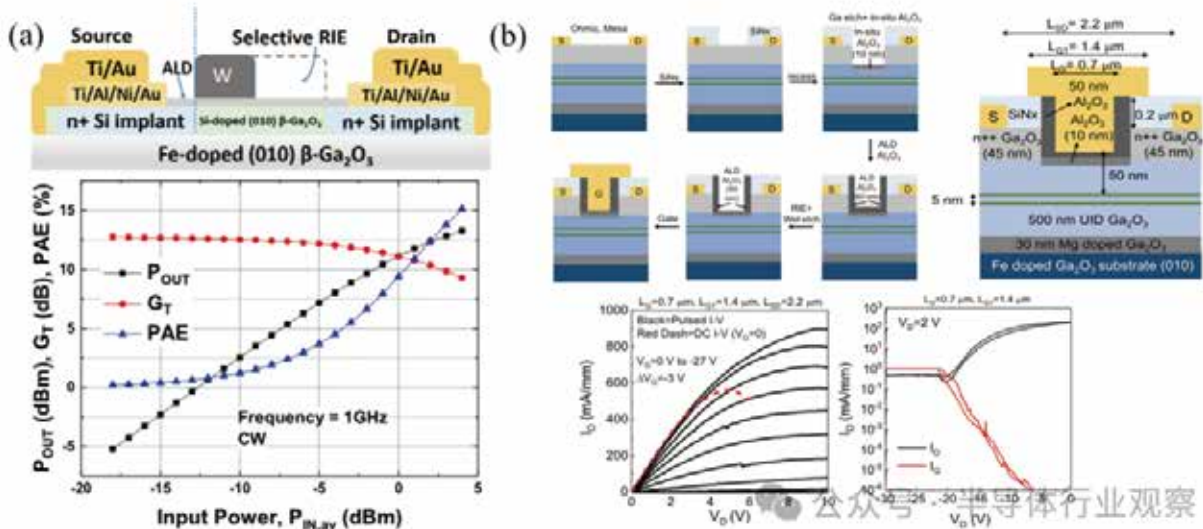


图 4. (a) SAG FET 采用难熔金属W作为栅极和硅离子注入技术进行自对准, LSG为0μm。图中绘出了射频 P<sub>out</sub>、G<sub>T</sub>和PAE与输入功率在1 GHz频率时的函数关系。转载自[89]。CC BY 4.0。(b)通过使用生长的n++覆盖层替代离子注入, 实现了SAG工艺。高栅极漏电流和低开/关比表明, 由于沉积过程或界面上残留的Ga液滴, 电介质存在漏电流。经AIP出版社许可, 转载自[61]。

### 3.1.3 沟槽/凹栅FET

另一种场效应晶体管设计由AFRL于2017年首次实现[90], 即沟槽或凹栅设计, 可将器件缩小到亚微米栅极长度, 从而提高射频性能。文献[90]中的场效应晶体管是在180nm的n+沟道层上制作的, 沟道层上有一个通过MOVPE生长的25nm的n++ 欧姆覆盖层。欧姆接触形成后, 对n++ 覆盖层进行蚀刻, 并通过PECVD沉积200nm的SiO<sub>2</sub>作为钝化层和场板电介质。在SiO<sub>2</sub>层上绘制出0.7μm的栅极区域, 并通过RIE蚀刻到外延层的近一半位置, 然后采用ALD方法沉积Al<sub>2</sub>O<sub>3</sub>层作为栅极介电质, 并进行镍/金栅极叠层蒸发和互连器件蒸发(图5a)。测得的截止频率(f<sub>T</sub>)和最大振荡频率(f<sub>MAX</sub>)分别为3.3GHz和12.9GHz[90]。

尽管E型场效应晶体管有助于降低离态功率损耗; 然而, 由于p型掺杂缺乏、空穴有效质量大以及空穴自俘获等原因, 在β-Ga<sub>2</sub>O<sub>3</sub>中很难制备出E型场效应晶体管。凹栅极方法是早期用于实现E型操作的少数几种方法之一, 它通过蚀刻沟道区域, 使剩余沟道因氧化物/外延和外延/基底界面的能带弯曲而完全耗尽[112,113]。Chabak等人[80]研究了200nm的掺硅5.5 × 10<sup>17</sup>cm<sup>-3</sup>外延层的能带弯曲是由于SiO<sub>2</sub>/β-Ga<sub>2</sub>O<sub>3</sub>界面的5.5 × 10<sup>12</sup>cm<sup>-2</sup>表面态造成的, 他们注意到大约100nm的耗尽, 以及34nm的耗尽是由于掺铁衬底造成的。由于栅极凹进了140nm, 实现了阈值电压(V<sub>th</sub>)为+2V的E型场效应晶体管(图5b)。据报道, 外延层厚度为200nm、蚀刻深度为180nm、LG为2μm的E型凹栅极场效应晶体管也具有非常高的开关特性, 其开/关弛豫时间为4.0ns/11.8ns, 上升/下降时间为24.6ns/82.2ns(图5c)。下降时间较长的原因是电子迁移率低和从界面态放电的速度慢。虽然开关损耗会随着开

关速度的提高而降低,但高导通电阻( $R_{on}$ ) (根据图5c顶部图中 $V_{DS} \approx 5V$ 确定)会导致高导通功率损耗,这可能比开关损耗更具限制性[114]。许多沟道场效应晶体管都会出现高导通电阻( $R_{on}$ )和功率损耗增加的现象;不过,通过加入SAG进一步扩大LG范围,可以降低沟道电阻的影响。

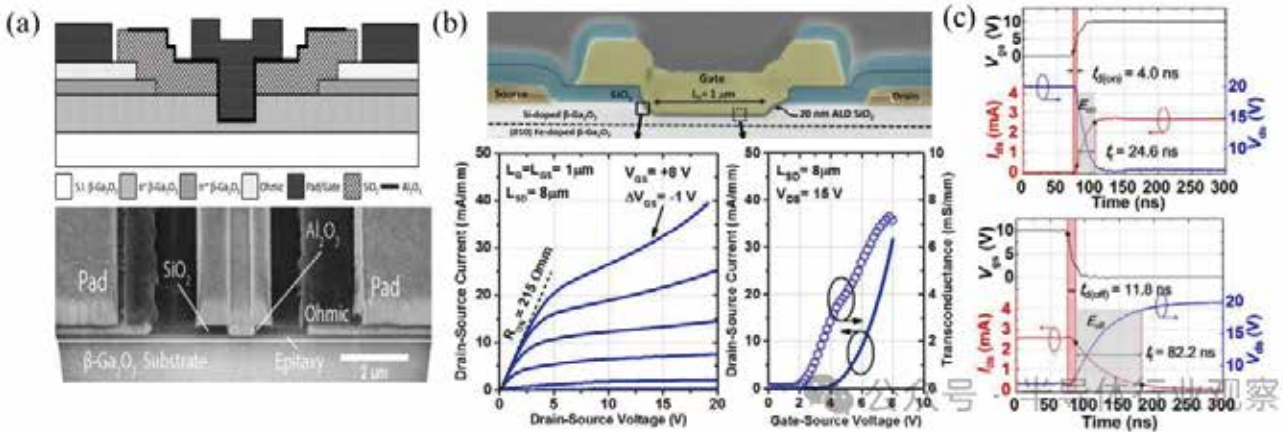


图 5. (a) 首次报道的具有亚微米级LG的凹栅 FET。经授权转载自 [90]。(b) 首个 E 型凹栅极场效应晶体管及相应的传输和输出曲线。© (2018) IEEE。经授权转载自 [80]。(c) 凹栅极横向场效应晶体管的开关特性,其中导通弛豫时间  $t_{d(on)}$  被定义为  $0.1V_{gs}$  和  $0.1I_{ds}$  之间的时间。同样,  $t_d(关)$  是  $0.9V_{gs}$  和  $0.9I_{ds}$  之间的时间。类似地,上升时间  $t_r$  是  $0.1I_{ds}$  到  $0.9I_{ds}$  之间的时间,下降时间  $t_f$  是  $0.9I_{ds}$  到  $0.1I_{ds}$  之间的时间。© (2019) IEEE。经授权转载自 [114]。

关于E型凹栅极场效应晶体管中掺杂和凹进深度的影响,已有各种TCAD研究报告。不同沟道厚度(外延厚度-凹槽深度)下的能带变化、电子浓度和 $V_{th}$ 如图6a所示。在栅极和漏极偏压为零时,由于氧化物/外延层和衬底/外延层的耗尽作用,当沟道厚度降到80nm以下时,电子浓度迅速下降,在50nm时降到 $\approx 10^{18}cm^{-3}$ 。75nm沟道的阈值电压接近0V,而50nm沟道的阈值电压增加至+4V[115]。降低沟道层中的掺杂浓度可同时降低漏极峰值电流和提高 $V_{th}$ ,因此 $1 \times 10^{16}cm^{-3}$ 的掺杂浓度会导致E型行为(图6b)。从I-V传输曲线上看,凹槽深度越大(沟道厚度越小), $V_{th}$ 值从 $\approx 50V$ 增加到接近0V,但I-V输出曲线上的漏极电流却减小了(图6b)[116]。然而,在高 $V_{GS}$ 和 $V_{DS}$ 条件下,漏极电流几乎相等,这表明凹槽深度对漏极电流峰值的实际影响很小。图6c[117]显示了一种略有不同的沟槽场效应晶体管设计,它使用了不同掺杂的本体和外延漂移层,以及贯穿整个漂移层的凹槽。从漂移层掺杂量为 $3 \times 10^{17}cm^{-3}$ 、主体掺杂量从 $1 \times 10^{13}$ 到 $1 \times 10^{17}cm^{-3}$ 不等的I-V传输曲线来看,只有当主体掺杂量为 $1 \times 10^{15}cm^{-3}$ 或更低时才能实现E型操作,掺杂浓度越高,电流越大, $V_{th}$ 反向值越大。在 $V_{GS}$ 为0V、NBody为 $1 \times 10^{15}cm^{-3}$ 和NDrift为 $3 \times 10^{17}cm^{-3}$ 时的电子浓度二维视图(图6c)显示,由于氧化物/本体界面的能带弯曲导致本体层完全耗尽,因此通常处于关闭状态。

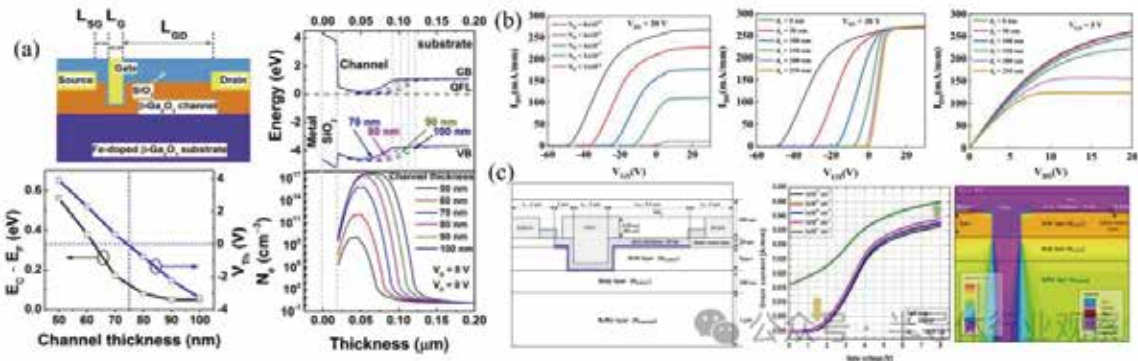


图 6: (a) 费米能级 $V_{th}$ 和电子浓度随沟道厚度变化的凹栅FET的TCAD模型研究。转载自 [115]; 采用知识共享署名 (CC BY) 许可协议进行许可。(b) $V_{th}$ 和电流密度随掺杂和凹槽深度变化的凹栅FET的TCAD模型研究。转载自 [116], 版权 (2023 年), 经Elsevier许可。(c) 一种新颖的凹栅FET设计,具有不同的主体层和漂移层,凹槽完全穿过漂移层。体掺杂对E/D型操作的影响,以及低掺杂时通过体层的能带弯曲二维截面图。转载自 [117]。cc by 4.0。



### 3.1.4 鳍式场效应晶体管

第一个FinFET结构是Chabak等人在2016年设计的横向器件,采用电感耦合等离子体(ICP)过度蚀刻到衬底上,形成薄薄的300nm三角形鳍片作为沟道(图7a)[113]。栅极导致的沟道耗尽实现了E型操作,I-V传输曲线如图7a所示。图7a中红色曲线所示的衬底传导是衬底表面未获补偿的载流子造成的。Hu等人制造了各种垂直单鳍E型场效应晶体管[118-120],其电流密度达到 $1\text{kA cm}^{-2}$ , $V_{br}$ 为1.6kV,亚阈值斜率(SS)低至 $80\text{mV dec}^{-1}$ ,界面陷阱态密度(Dit)大于 $6 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 。

据观察,界面陷阱通过耗尽沟道降低了场效应迁移率和电流密度,并通过加剧漏极诱导的势垒降低(DIBL)限制了击穿[118]。后来,Li等人制造出了单鳍和多鳍E型场效应晶体管,单鳍/多鳍电流密度为 $2\text{kA cm}^{-2}/230\text{A cm}^{-2}$ , $R_{on,sp}$ 为 $35.2 \text{ m}\Omega \text{ cm}^2/25.2 \text{ m}\Omega \text{ cm}^2$ ,BFOM为 $172 \text{ MW cm}^{-2}/280 \text{ MW cm}^{-2}$ ,鳍宽( $W_{fin}$ )为 $0.15 \mu\text{m}$ 。多鳍场效应晶体管的另一个优点是,与单鳍场效应晶体管不同,电流扩散不会大幅改变有效面积,从而使BFOM和 $R_{on,sp}$ 不那么模糊。制造过程是在导电衬底上采用HVPE方法生长的掺杂量为 $2 \times 10^{15} \text{ cm}^{-3}$ 的 $10\mu\text{m}$ 外延层上进行的。首先,在 $1000^\circ\text{C}$ 下对外延层进行硅离子注入并激活,以形成源极欧姆接触,然后通过电子束光刻和干法蚀刻形成亚微米级鳍状通道。在背面沉积了钛/金叠层作为漏极触点,并使用ALD方法沉积35nm的 $\text{Al}_2\text{O}_3$ 作为栅极电介质。

溅射铬栅极金属,采用SAG工艺进行图案化处理,使其与ALD- $\text{Al}_2\text{O}_3$ 的间距为120nm。最后,溅射钛/铝/铂叠层,形成源极和与源极连接的场板。在氮气、 $350^\circ\text{C}$ 条件下退火(PDA)前后对器件进行了测量,结果显示器件有了显著改善(图7b)[81]。研究表明,随着 $W_{fin}$ 和ND的增加, $V_{th}$ 会显著降低(图7c),从而为正常关断器件提供了一个小窗口。前面提到的鳍式FET是在 $W_{fin}$ 小于 $0.5\mu\text{m}$ 和ND低于 $1 \times 10^{16} \text{ cm}^{-3}$ 的条件下制造的,因此 $V_{th}$ 值为正。由于在外延生长过程中很难将硅掺杂到 $3 \times 10^{15}$ 以下,因此在HVPE生长过程中通过氮掺杂 $1 \times 10^{16} \text{ cm}^{-3}$ 的电阻层可以显著降低 $V_{th}$ 对 $W_{fin}$ 的依赖性,并在 $W_{fin}$ 高达 $2\mu\text{m}$ 时实现常断操作(图7c)[121]。

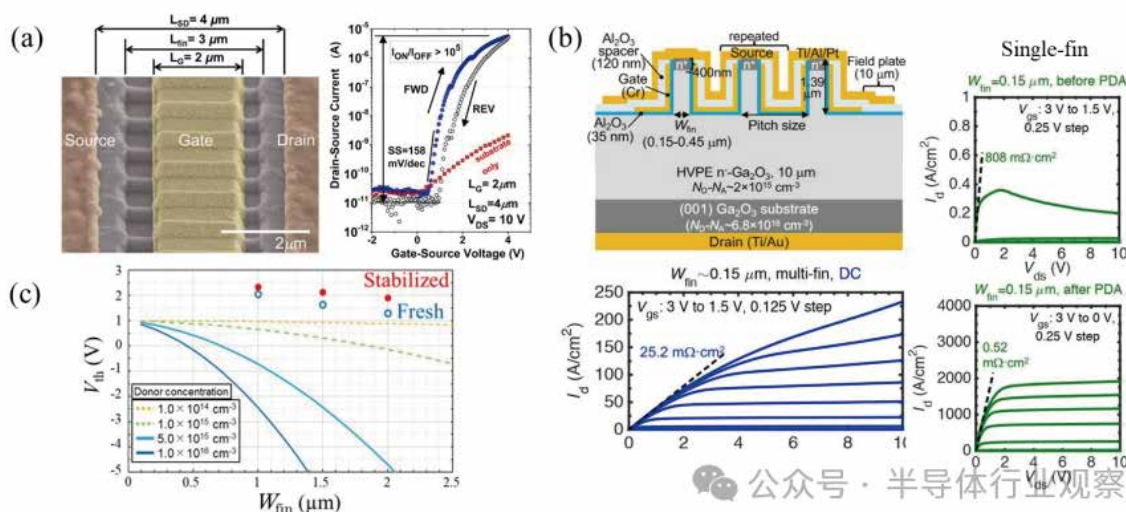


图 7: (a) 横向E型鳍式FET和转移曲线, 以及观察到的半绝缘衬底自由载流子导致的衬底传导。转载自 [113]。CC BY 4.0。 (b) 垂直多鳍FET的横截面。通过PDA显著改进的单鳍FET的I-V曲线以及多鳍FET的I-V曲线。©(2019) IEEE。经授权转载自[81]。 (c) 氮掺杂减轻了 $V_{th}$ 对 $W_{fin}$ 的依赖性, 并在大 $W_{fin}$ 时保持E型操作。©日本应用物理学会。经IOP出版有限公司许可转载。保留所有权利。

尽管大多数垂直鳍式FET是在(001)基底面上制造的,但也有报道称在(100)方向基底上制造的垂直鳍式FET有可能减少内在生长缺陷[122]。如第3.1.1节所述,使用高/低温MOCVD生长技术,横向三栅极鳍式FET也实现了高射频性能[91]、 $0.95 \text{ GW cm}^{-2}$ 的高BFOM值和 $184 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 的迁移率[63]。

高选择性湿蚀刻技术——金属辅助化学蚀刻(MacEtch)是一种极具吸引力的无损伤蚀刻技术,可替代鳍式FET制造中通常使用的干蚀刻技术[123]。有关MacEtch技术和化学反应的更多详情,请参阅参考文献[124]。最近有报道称,通过MacEtch技术制造的横向鳍式FET(图8a)的长宽比为4.2:1, $R_{on,sp}$ 为 $6.5 \text{ m}\Omega \text{ cm}^2$ ,BFOM值为



21MWcm<sup>-2</sup>[125]。从[102]方向90°取向的鳍式FET上测得的最低SS、Vth和回滞分别为87.2mV dec<sup>-1</sup>、-6.9V和24mV(图8a)。先前的研究表明,垂直于[102]方向的鳍片具有最垂直的侧壁和最低的Dit(2.73×10<sup>11</sup> cm<sup>-2</sup> eV<sup>-1</sup>) [126]。在高达298°C的高温条件下对这些鳍式FET进行的直流I-V测量(图8b)显示,闭态电流不断增加,开/关比降低,这归因于从源极到漏极的热离子发射;由于栅极金属/氧化物和氧化物/半导体界面上的捕获/脱离,Vth下降了≈20V;回滞不断增加,最高达4.29V,SS最高达1.35V dec<sup>-1</sup>,这表明界面或电介质发生了热降解[127]。

### 3.1.5 栅极连接场板

众所周知,场板可以通过降低电极边缘附近的峰值电场来改善器件击穿。栅极连接场板(GFP)延伸到栅漏接入区,而大部分压降都发生在该区域,从而"扩散"了电场。Wong等人使用SiO<sub>2</sub>作为场板电介质,首次报道了β-Ga<sub>2</sub>O<sub>3</sub> GFP FET(图9a)。图9a显示了在不同场板高度hFP和场板与漏极长度LFP,D下,栅极漏极边缘(上图中的符号x表示)和FP漏极边缘(下图中的符号\*表示)的峰值电场TCAD仿真。增加LFP,D可以迅速减小栅极边缘的电场,而对FP边缘的电场影响不大。然而,随着hFP的增加,栅极边缘的电场会上升,而FP边缘的电场会下降,这表明hFP有一个理想的窗口[128]。

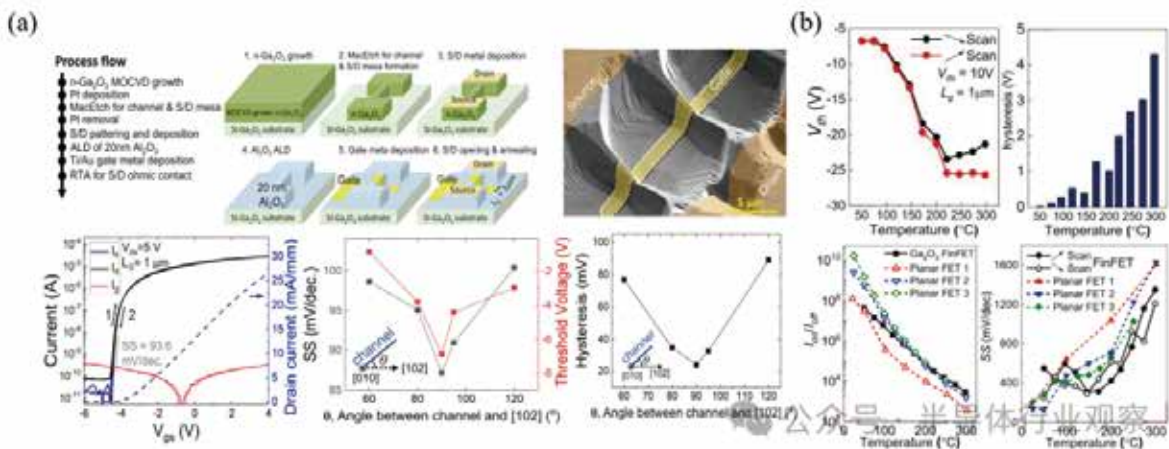


图 8. (a) 通过 MacEtch 工艺制造的 鳍式FET及其TEM图像。图中显示了I-V曲线以及SS和回滞相对于 [102] 的沟道角度的依赖性。与 [102] 垂直的沟道显示出最佳性能。(b) MacEtch工艺制造的鳍式FET的Vth、回滞、开/关比和SS的温度依赖性。结果表明界面和/或电介质存在热降解。经AIP出版社许可,转载自 [127]。

此后,又有其他二氧化硅FP、聚合物钝化的二氧化硅复合FP和二氧化硅钝化的SiNxFP相继问世[64,92,108,109,129-131],其中一些FP的击穿电压和BFOM值最高分别达到8.56kV和355MW cm<sup>-2</sup>。SiNx因其介电常数较高而更适合扩散电场,并能减轻最初在AlGaIn/GaN HEMT中发现的虚栅效应[132],但也被认为是β-Ga<sub>2</sub>O<sub>3</sub> FET中电流分散[133]和串联电阻增加[134]的可能机制。

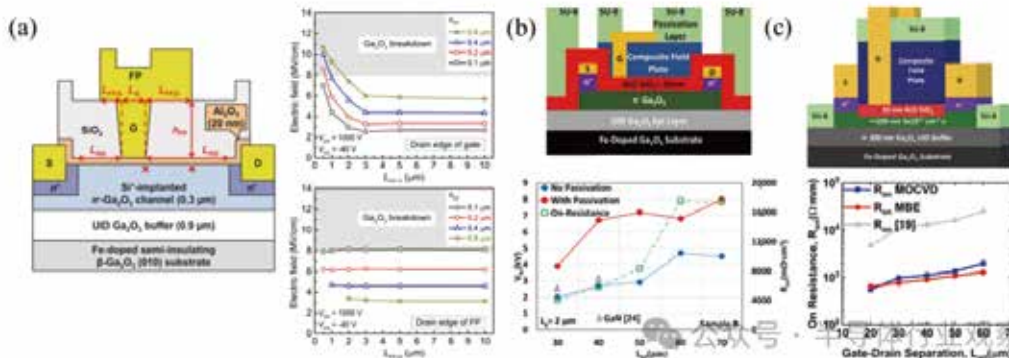


图 9.(a) GFP FET 横截面,符号 x 和 \* 表示沟道中的峰值电场。符号x (上图) 和 \* (下图) 的位置显示了模拟击穿电场与LFP、D 和 hFP 的关系图。© (2016) IEEE. 经授权转载自 [128]。(b) 采用复合 PECVD-SiO<sub>2</sub>/ALD-SiO<sub>2</sub> GFP 和 SU8 钝化以提高Vbr的场效应晶体管。经授权转载自 [131]。(c) GFP FET 与(b)中的类似,但将SU8作为FP的一部分并进行真空退火,从而提高了Vbr并降低了Ron。© (2022)IEEE. 经授权转载自 [64]。

### 3.1.6 其他新型结构

前几节讨论的大多数设计都是在 $\beta\text{-Ga}_2\text{O}_3$ 器件的早期阶段首次开发并反复改进的。在TCAD仿真的帮助下,可以初步提出具有巨大潜力的新型结构。最近提出的一种结构(2022-2023年)包括带有自对准沟槽垂直栅极的横向场板 MOSFET(图 13a [166])。从源极到漏极的沟道从UID  $\beta\text{-Ga}_2\text{O}_3$  缓冲层开始,在源极区域进行离子注入。UID 缓冲层将离子注入的源极与  $n^+$  水平沟道隔开,到达漏极。栅极的沟道部分落在  $n^+$  沟道下方,进入 UID 缓冲层。占主导地位的沟道变成了垂直的 UID 部分,它是高度可控的,不受高分辨率光刻技术的限制。这种结构已被提出用于 AlGaN/GaN HEMT,并证明能改善漏极电流和跨导 [167]。类似的 $\beta\text{-Ga}_2\text{O}_3$ 器件采用了带有 $\text{SiO}_2$  FP电介质的 GFP,以提高沟道中的  $V_{br}$  和电流均匀性。

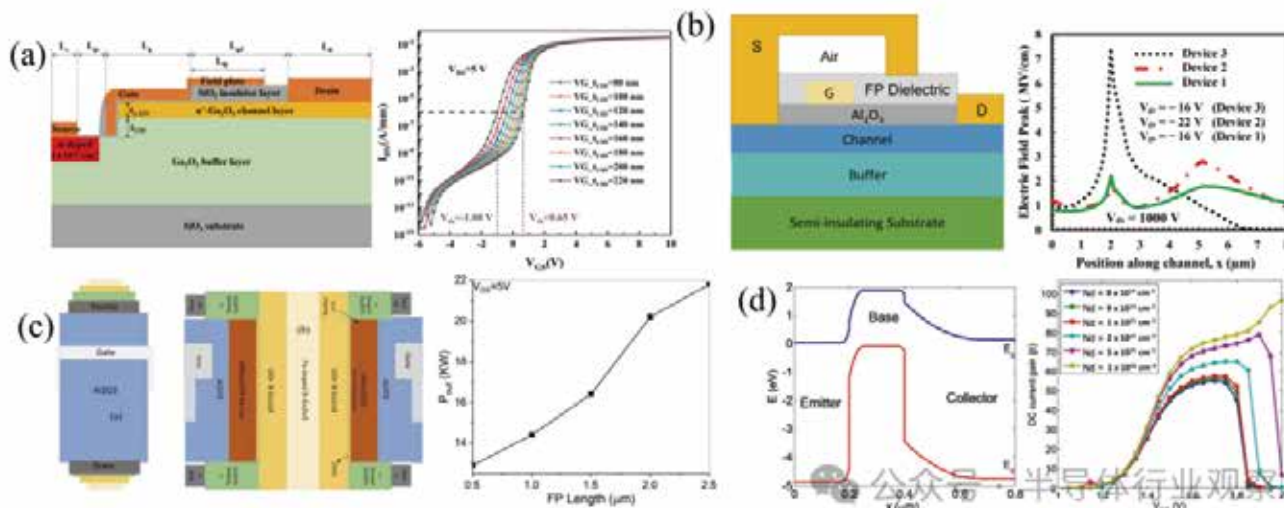


图13. 尚未实现的新型 $\beta\text{-Ga}_2\text{O}_3$  FET 的TCAD仿真。(a) FP 自对准沟槽垂直栅极, 其 $V_{th}$ 值根据进入UID层的栅极沟槽厚度 $t_{UID}$ 而变化。© (2023) IEEE.经授权转载自[166]。(b) 采用气隙电介质的SFP, 能更好地缓解器件边缘的电场。经授权转载自[168], 版权归Elsevier所有(2022)。(c) 带有2DEG的GAA FET可改善 $P_{out}$ 和 $f_T$ 。(d) 使用 $p\text{-CuO}_2$ 的npn HBT能带图和电流增益, 但受 $p$ 氧化物带隙、界面陷阱以及发射极和基极之间CBO的限制。转载自[170]。© IOP Publishing. 许可转载. 保留所有权利

另一种建议的器件是带有 SFP 的横向 MOSFET, 其中 FP 电介质为空气/ $\text{SiN}_x$ , FP 在栅-漏漂移区与  $\text{SiN}_x$  接触(图 13b [168])。电场图(图 13b)显示了器件 1(建议的器件)、含有GFP的器件2和没有FP的器件3。与器件2的  $1.6 \text{ GW cm}^{-2}$  和器件 3 的  $106 \text{ MW cm}^{-2}$  相比, 建议的器件具有更高的 BFOM值( $\approx 2.2 \text{ GW cm}^{-2}$ )。气隙器件的电容  $C_{gd}$  和  $C_{gs}$  略高于非FP 器件, 导致 BHFOM 值略低, 但总体 JFOM 值大得多, 达到  $7.8 \text{ THz V}$ 。

栅极环绕(GAA)场效应晶体管是另一种较新的10纳米以下的硅基场效应晶体管, 但尚未在 $\beta\text{-Ga}_2\text{O}_3$ 中实现。一种建议的  $\beta\text{-(AlGa)}_2\text{O}_3/\text{Ga}_2\text{O}_3$  GAA FP HEMT 模拟结果显示, 其  $P_{out}$  高达  $\approx 22 \text{ kW}$ ,  $f_T$  为  $2.4 \text{ GHz}$ , 体现了未来 GAA  $\beta\text{-Ga}_2\text{O}_3$  FET 的潜力(图 13c [169])。

由于 $\beta\text{-Ga}_2\text{O}_3$ 缺乏 $p$ 型掺杂和极低的空穴迁移率, 大多数器件只能单极工作。不过, 最近采用TCAD对使用 $p$ 型氧化物的潜在 $\beta\text{-Ga}_2\text{O}_3$  异质结双极晶体管(HBT)进行了研究。使用 $p\text{-CuO}_2$ 的npn型结构显示出HBT行为和电流增益(图 13d), 但电流增益和击穿电场都受到界面陷阱和 $\text{CuO}_2$ 低带隙(2.1 eV)的严重限制 [170]。他们提到, 其他 $p$ 型氧化物(如氧化镍)同样适用。还可以使用 $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ 层作为发射极, 以降低进入基极的电子势垒。对于未来的设计, 他们提出了少数载流子传输、发射极-基极 CBO 以及界面陷阱态密度阈值的规范。

## 4. 缺陷工程

### 4.1 缺陷

缺陷会严重降低器件的性能和可靠性, 因此是任何半导体器件的重要研究领域。由于室温和高温测量仍然只能观察到带隙的一小部分, 因此通常使用光子激发来获取整个带隙的陷阱信息, 因此研究 $\beta\text{-Ga}_2\text{O}_3$ 等WBG和UWBG半导体的深陷阱需要采用不同的表征方法。下面将讨论 $\beta\text{-Ga}_2\text{O}_3$ 的各种陷阱表征方法, 以及用于减少



$\beta$ -Ga<sub>2</sub>O<sub>3</sub>中陷阱的材料制备方法。

#### 4.1.1. 表征

深能级瞬态光谱 (DLTS) 和深能级光学光谱 (DLOS) 是确定深能级陷阱能量和浓度的强大技术。DLTS和DLOS是基于空间电荷区(SCR)陷阱中载流子捕获和发射改变了测量电容的原理。因此, 电容瞬变通常用于确定陷阱能级及其在特定能级上的捕获和发射率, 该能级由 DLTS 中的温度和 DLOS 中的光子能量决定。(U)WBG半导体需要DLOS, 因为大多数DLTS系统被限制在EC以下或EV以上 $\approx 1\text{eV}$ , 这不足以全面表征(U)WBG材料。在 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>中通过DLTS和DLOS表征发现的陷阱如图 20a所示。更多关于 DLTS/DLOS 原理和 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>中深层缺陷的详细报道见参考文献[247]。

DLTS/DLOS主要表征体陷阱, 而光辅助C-V (PCV) 则可用于提取 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>/介电质界面的深层界面陷阱和介电质体陷阱。目前已报道了两种主要的 PCV 方法, 其中第一种方法使用带隙以上的光, 并将暗态和紫外光下的C-V曲线与表面电势 $\Delta V$ 进行比较来计算Dt, Dt是界面陷阱态密度(Dit)和介电体陷阱密度(nbul)的总和。根据Dt与tox值的Y-截距可求得平均Dit值(图 20b)。请注意, 暗态C-V曲线是在所有界面陷阱填满后保持10分钟, 从累积到耗尽的过程中测得的。在耗尽过程中, 器件暴露在紫外光下以激发所有界面陷阱中的电子, 并在紫外光照射后在黑暗中保持耗尽状态10分钟, 以便产生的空穴移动到Al<sub>2</sub>O<sub>3</sub>/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub>界面[248]。第二种方法使用至少两个亚带隙光源在低于EC的两个能量处清空界面陷阱。由此产生的平带电压偏移( $\Delta V_{fb}$ )决定了Dit。第二种方法的优点是不会产生可能成为误差来源的e-h对, 而且可以找到比平均值更精确的Dit [249]。

通过比较暗态和紫外光条件下的阈值漏极电流, 开发了一种I-V表征方法来确定供体和受体界面陷阱态密度, 将 $V_{on} < V_{GS} < V_{fb}$ 的范围归因于供体陷阱, 而 $V_{fb} < V_{GS} < V_{th}$ 的范围归因于受体陷阱 [250]。

应力测量是另一种陷阱捕获特征的表征方法, 其中应力I-V决定了Vth的不稳定性, 而应力C-V则量化了陷阱电荷。在对 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> MOSFET 进行应力测量的研究中, 观察到Vth与应力时间呈对数关系, 并在365nm紫外光照射后完全恢复。不同温度下的应力C-V也表明陷阱捕获遵循抑制模型, 其中陷阱电子由于库仑斥力而抑制邻近电荷的捕获[251]。监测正偏应力(PBS)和负偏应力(NBS)下的Vth位移和Ron有助于识别导致场效应晶体管不稳定性和退化的陷阱。这已经在嵌入式栅极[252]、p-NiO栅极[253]和 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>/SiC场效应晶体管[254]中进行了研究。PBS引发的不稳定性主要是由栅极氧化物中的边界陷阱造成的, 而NBS引发的不稳定性则是由界面态和边界陷阱造成的[252]。在p-NiO栅极场效应晶体管中, 高VGS或长应力时间通过电离界面偶极子永久性地使Vth发生负向位移, 从而中和了耗尽区中的电离电荷[253]。如[156]所述, 通过H<sup>+</sup>离子注入制备的 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>/SiC场效应晶体管的PBS由于界面和边界陷阱捕获电子而使Vth在短应力时间内发生正向偏移。然而, 在较长的应力时间内, 观察到负的 Vth 位移和载流子浓度的增加, 这归因于H<sup>+</sup>间隙产生的浅供体或深受体镓空位的 H 钝化[254]。





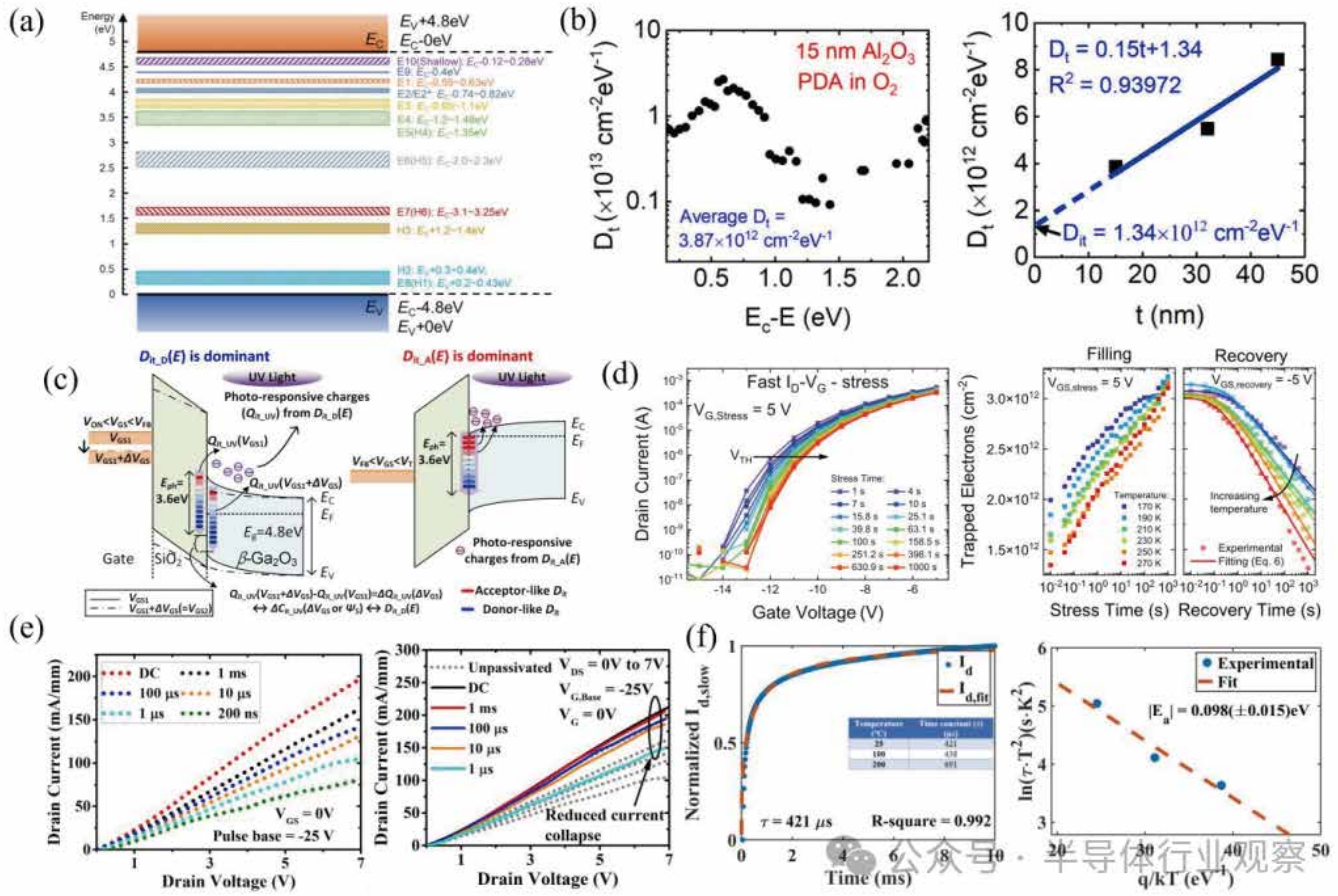


图 20. (a) 通过DLTS和DLOS发现的体陷阱水平。摘自 [247]。© IOP 出版公司许可复制。(b) PCV 方法，使用带隙以上的光求  $D_t$  和外推法获得平均  $D_{it}$ 。经 AIP 出版社许可，转载自 [250]。(c) 通过图 I-V 获得供体和受体界面陷阱态密度。© (2018) IEEE。经出版社许可，转载自 [248]。(d) 应力 I-V 和应力 C-V 捕获的电荷。经 AIP 出版社许可，转载自 [251]。(e) 脉冲 I-V 显示未钝化时 (左) 的电流发散和 SiNx 钝化后 (右) 相比改善显著。(f) 时间常数和活化能随温度变化测量的 I-V 拟合瞬态变程跳变机制。© (2021) IEEE。经授权转载自 [133]

脉冲 I-V 在包括碳化硅和氮化镓在内的几乎所有材料系统中都得到了研究，它可以隔离缓冲区陷阱 (在漏极脉冲的情况下) 和表面/界面陷阱 (在栅极脉冲的情况下) 的影响 [255]。在一些  $\beta\text{-Ga}_2\text{O}_3$  研究中，漏极回滞没有直流-射频发散，而栅极回滞表现出明显的电流发散，这表明栅极下的  $\beta\text{-Ga}_2\text{O}_3/\text{Al}_2\text{O}_3$  界面附近的表面陷阱和漏、栅通道区的表面陷阱对射频性能影响很大，而缓冲区陷阱的影响则很小 [96, 133]。在栅极回滞测量中，SiNx 钝化改善了电流发散。此外，漏极电流瞬态拟合可提供有关陷阱时间响应和捕获/脱离机制 (肖克利-里德-霍尔、可变范围跳变等) 的信息，与温度相关的脉冲测量可提供陷阱的活化能。

#### 4.1.2. 材料制备

众所周知，在  $\beta\text{-Ga}_2\text{O}_3$  中，衬底/外延层界面上存在硅污染 (图 21a)，这会产生寄生次级沟道，增加寄生电阻和电容 [216]。此外，衬底/外延层界面处的能带弯曲会耗尽沟道 [109]，半绝缘杂质会扩散到沟道区域。因此，缓冲层的生长有助于减轻硅污染造成的寄生沟道和衬底造成的沟道损耗。在掺  $\delta$  的 MESFET 中，掺铁的半绝缘衬底会随着缓冲层厚度的减小而降低电荷密度和迁移率，并增加射频色散 (图 21b [103])。二次离子质谱 (SIMS) 深度剖面图显示，铁杂质向外延层扩散了近 200 纳米，这使得缓冲器厚度成为横向  $\beta\text{-Ga}_2\text{O}_3$  FET 的一个极其重要的特征。为了减轻第二个寄生沟道的影响，在衬底/外延层界面附近采用 10 秒打开/30 秒关闭/10 秒打开的脉冲快门方案，在  $420^\circ\text{C}$  温度下生长了 Mg  $\delta$  掺杂层，以补偿硅杂质浓度并降低器件漏电流。据报道，漏电流提高了 6 个数量级，传输 I-V 曲线中的回滞可以忽略不计 (图 21c [106])。

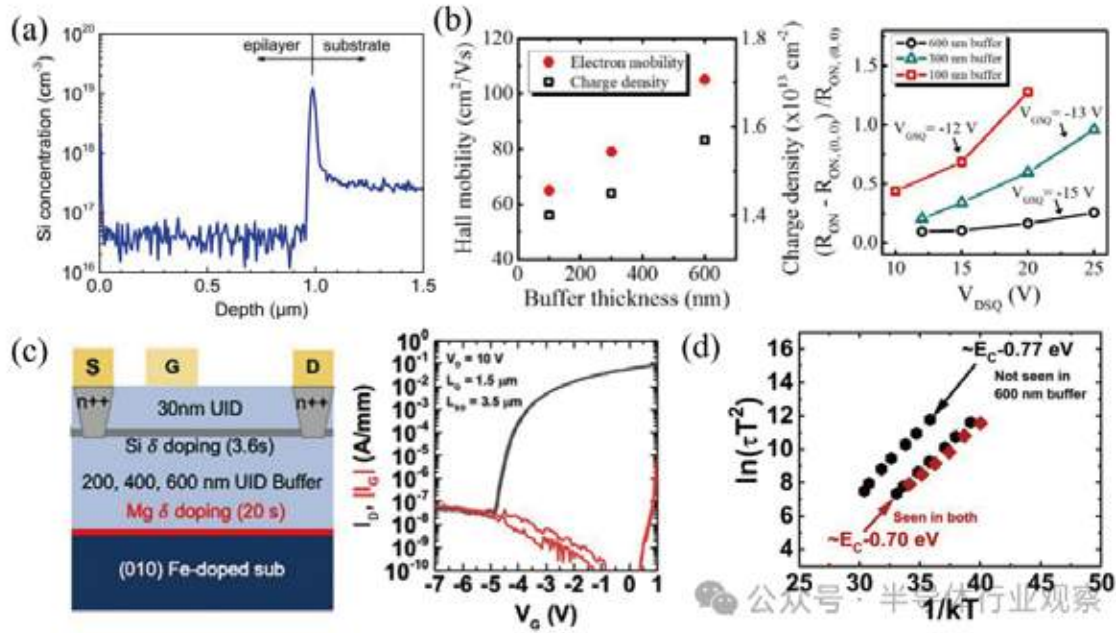


图 21 (a) 衬底/外延层界面的硅浓度峰值。转自[216]。© 日本应用物理学会。经IOP出版有限公司许可转载。保留所有权利。(b) 来自半绝缘衬底的杂质和反向耗尽对迁移率、电荷密度和电流分散的负面影响。经AIP出版社许可，转载自[103]。(c) 在衬底/外延层界面的Mg δ掺杂，以补偿硅杂质并降低漏电流。转自[106]，经 AIP 出版社授权。(d) 采用CID-DLTS技术，100nm缓冲层仅在EC-0.77eV 下出现缓冲陷阱，100nm和600nm缓冲层均在EC-0.70 eV下出现缓冲陷阱。转载自 [105]，经AIP出版社许可。

在另一项研究中，使用等温恒定漏极电流DLTS (CID-DLTS) 观测到了EC-0.7eV和EC-0.8eV的两个缓冲陷阱能级，它们与铁掺杂的衬底有关(图21d)。在缓冲层为100nm和600nm的MESFETs 中都观察到了前者，而在缓冲层为600nm的MESFET中则没有观察到后者，从而得出结论:EC-0.8eV处的陷阱与扩散到缓冲层中的铁有关，而EC-0.7eV处的陷阱则与 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>中观察到的点缺陷源一致。在使用600nm缓冲层的MESFET中，射频发散并没有明显降低，而且  $V_{th}$  增大，这表明EC-0.7eV陷阱在Ron退化和 $V_{th}$ 不稳定中占主导地位[105]。

降低缺陷密度及其对器件性能影响的技术包括介电沉积前清洗、后沉积(PDA)和后金属化退火(PMA)、原位介电生长和MacEtch器件制造。经食人鱼液处理后，可降低表面粗糙度和界面捕获电荷 $Q_{it}$ 从 $1.4 \times 10^{12} \text{cm}^{-2}$ 降低到 $3.2 \times 10^{11} \text{cm}^{-2}$ 。在500 °C的O<sub>2</sub>或N<sub>2</sub>/O<sub>2</sub>条件下，经过食人鱼液处理后沉积(PDA)的界面质量得到显著改善，平均 $D_{it}$ 降至 $2.3 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$  (O<sub>2</sub> PDA) [256]。一项关于后沉积(PDA)和后金属化退火(PMA)温度对界面质量影响的研究观察到，在300 °C到600 °C的低温沉积(PDA)后，在N<sub>2</sub>中进行300 °C后金属化退火(PMA)将 $V_{fb}$ 转变为接近理想值，并将电荷固定在 $1 \times 10^{11} \text{cm}^{-2}$ 的数量级；然而，由于镓和铝的相互扩散，当后沉积(PDA)温度从700 °C上升到900 °C时，后金属化退火(PMA)的对 $V_{fb}$ 几乎没有影响。在所有后沉积(PDA)温度下，后金属化退火(PMA)都会明显降低浅层  $D_{it}$  状态(PDA温度为300 °C时最低)，但对深层 $D_{it}$ 状态没有影响。从300到900 °C，深层 $D_{it}$ 状态只随着后沉积(PDA)温度的增加而减少，这与浅层 $D_{it}$ 状态密度随着后沉积(PDA)温度的增加而增加形成鲜明对比(图22a[249])。Islam等人最近报道了一种溶剂(S)、O<sub>2</sub>等离子体和食人鱼液(P)的表面清洁方法，然后是BHF (B) 表面刻蚀、PE-ALD Al<sub>2</sub>O<sub>3</sub>和250 °C下的原位成型气体PDA (FG-PDA)，在第一和第二个C-V循环中实现了分别为300mV和80mV的 $\Delta V_{fb}$ 、而其他对比样品则表现出较大的第一和/或第二周期滞后和无累积(图22b[228])。另一项关于在ICP之后去除表面损伤的研究使用了四甲基氢氧化铵 (TMAH) 和自反应刻蚀 (SRE)，在900 °C下的MBE腔室中使用Ga通量，之后观察到随着Ga通量的增加，生长速率降低并出现负增长， $D_{it}$ 降至 $7.3 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ [257]。自反应刻蚀(SRE)的方法消除了表面损伤，改善了C-V特性(图22c)。SRE在进行原位栅极电介质生长时非常有用，正如另一个研究小组最初报告的那样，实现了 $5.8 \text{Mcm}^{-1}$ 的高击穿场强和 $6.4 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 的平均  $D_{it}$ [226]。



MacEtch并不完全是一种材料制备方法,而是FinFET制造的一种替代方法,可避免干蚀刻引起的损伤,其滞后仅为9.7mV,SS为87.2mV dec<sup>-1</sup>[125]。

最近,仅使用食人鱼液表面处理的嵌入式p-NiOx栅极FET实现了可忽略不计的4mV滞后、微秒转换和66mV dec<sup>-1</sup>的接近历史最低水平SS的器件[75]。这在保持超低界面缺陷密度的同时最大限度地提高β-Ga<sub>2</sub>O<sub>3</sub> FET性能提供了一条潜在的途径。

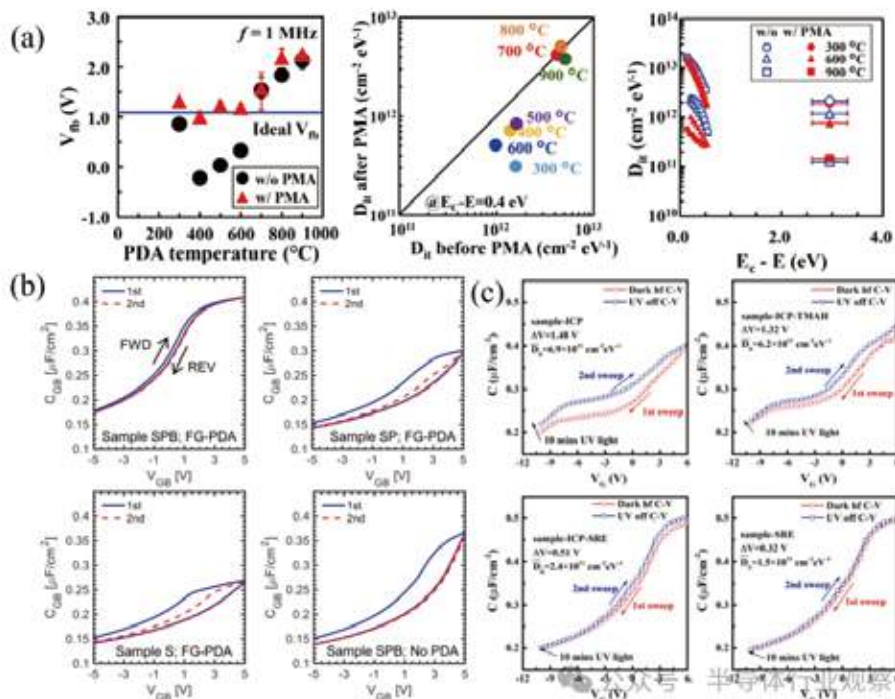


图 22. (a) PDA和PMA对V<sub>fb</sub>和D<sub>it</sub>的影响。PMA在减少固定电荷和浅层D<sub>it</sub>方面都有改善,而对深层D<sub>it</sub>的影响很小。经《AVS: Science & Technology of Materials, Interfaces, and Processing》许可,转载自[249]。(b)具有不同表面清洁度的MOSCAP的第一次和第二次C-V扫描。与其他方法相比,使用FG-PDA的SPB带来的界面缺陷最少。经授权转载自[228]。(c)比较SRE和TMAH在消除ICP损伤方面的PCV。经AIP出版社许可,转载自[257]。

## 5. 当前的挑战和主要战略

### 5.1 缺乏p型掺杂

由于无法在β-Ga<sub>2</sub>O<sub>3</sub>中获得浅层受体,因此无法制造同质外延pn二极管、保护环和超结器件。如前几节所述,采用p型材料(如p-NiO、p-GaN、p-SnO和p-CuO<sub>2</sub>)作为异质结实现高BFOM的器件已被研究。此外,p-NiO栅极场效应晶体管的界面特性显示出无滞后、低SS和大迁移率,表明器件具有高质量的界面和最小的陷阱散射。虽然p-NiO是目前最有希望用于异质结的p型材料,但其通过溅射沉积和多晶特性会导致不均匀性和低成品率,这需要进一步研究。

一些研究小组报告了使用两性锌和氢扩散(见第2.5节)掺杂p型材料的情况;但此类器件尚未见报道。这些技术在高性能二极管和场效应晶体管中的可行性需要得到验证,才能在大功率和射频市场中得到广泛应用。

### 5.2 低导热性

热导率低是β-Ga<sub>2</sub>O<sub>3</sub>器件的一个主要问题,尤其是在大功率应用中,自热是不可避免的。使用高导热衬底进行的各种热研究已有报道,在GO/AlN、GO/SiC和GO/Diamond章节中进行了讨论,并在图16中进行了说明。通过碳化硅离子切割技术或倒装芯片到金刚石载体,热凸块和NCD钝化将导热衬底异质集成似乎是一种很有前景的解决方案。

### 5.3 单片集成和异质集成

迄今为止,大多数β-Ga<sub>2</sub>O<sub>3</sub>器件都是独立的;然而,要充分发挥β-Ga<sub>2</sub>O<sub>3</sub>的潜力,必须将它们集成到电路中。单



片集成是指在同一样品上设计的电路,迄今为止,使用SOI D-/E模式石墨烯栅控场效应晶体管的逆变器已经证明了这一点。射频场效应晶体管的放大器能力是通过使用CW功率测量确定其增益、输出功率和功率附加效率而获得的,这凸显了这些场效应晶体管在集成电路中的用途(表4)。异质集成主要是使用SOI FET在高导热衬底上实现的。

虽然大多数器件都采用了机械剥离 $\beta\text{-Ga}_2\text{O}_3$ 纳米膜的方法,但这种方法最适合概念验证,而不适合大规模生产。对于 $\beta\text{-Ga}_2\text{O}_3$ ,有两种晶圆到晶圆键合方法已得到证实,包括在SiC和Si衬底上使用H<sup>+</sup>注入的离子切割法[156]和在SiC上使用SiNx中间层的低温熔融键合法[201]。另外一种改善降温效果的异质集成方法是将倒装芯片键合到金刚石载体上,但缺点是目下无法提供大尺寸的金刚石晶圆[204]。

#### 5.4 封装

封装基本上是器件级热管理之后的下一步。实验验证的冷却方法需要相应的转换为对大面积封装的设备。此外,器件级和封装级热管理必须共同设计。一个限制因素是器件软件和封装软件难以整合,因为两者都会简化对方的结果 [258]。

#### 5.5 光学效应和远程开关

宽带隙和接近直接带隙的 $\beta\text{-Ga}_2\text{O}_3$ 为日盲深紫外(DUV)光电探测器创造了潜力,这也是基于 $\beta\text{-Ga}_2\text{O}_3$ 器件的一个持续研究领域[6,259-261]。复杂晶体结构造成的吸收各向异性[262],以及从导带到氧和镓空位的强子带隙吸收[263],仍然是DUV  $\beta\text{-Ga}_2\text{O}_3$ 光电探测器面临的挑战。 $\beta\text{-Ga}_2\text{O}_3$ 的光学特性可能在大功率射频放大器电路的远程开关方面具有潜在优势。远程开关是一种具有成本效益的技术,可以提高开关速度,同时减少或消除电气噪声。这已经在基于氮化镓的系统中进行了讨论 [264-267],并且同样适用基于 $\beta\text{-Ga}_2\text{O}_3$ 的系统。

#### 5.6 实际应用中的要求

在大功率应用中,Ebr和Ron,sp比击穿电压和导通电流更重要。具有高BFOM的小面积器件应主要用作制造等效大面积器件的中间步骤,以满足实际应用中特定电流和电压额定值的要求。如果大面积器件性能不佳,这将有助于进一步了解需要对哪些器件进行优化。

### 6. 应用和趋势

$\beta\text{-Ga}_2\text{O}_3$ 场效应晶体管预计不会取代SiC和GaN场效应晶体管,因为它们已经商业化。虽然未来可能会出现这种情况,但目前的趋势是,额定电压和电流超过GaN和SiC器件的大功率 $\beta\text{-Ga}_2\text{O}_3$  FET将用于超大功率应用,如电动汽车、轨道、电网、可再生能源存储等。大功率射频场效应晶体管还可用于电动汽车、电源转换器、数据中心和通信应用。 $\beta\text{-Ga}_2\text{O}_3$ 射频场效应晶体的出现困难重重,其性能仍低于GaN HEMT和较新的金刚石HEMT。然而,与高成本的金刚石相比,低成本的熔融生长技术,以及比氮化镓更高的理论值,都为高频 $\beta\text{-Ga}_2\text{O}_3$ 器件展现了广阔的前景。大功率 $\beta\text{-Ga}_2\text{O}_3$  FET显示了更高的击穿场强,超过了GaN的理论极限,因此射频 $\beta\text{-Ga}_2\text{O}_3$  FET的潜在市场是中频( $\approx$ 数十GHz)、大功率射频 FET,其性能可超过大功率GaN射频FET。

### 7. 结论与展望

总之, $\beta\text{-Ga}_2\text{O}_3$ FET的设计取得了长足的进步,推动了其大功率和射频功能的发展。大功率场效应晶体管的击穿电压高达10kV,电流密度大于 $1\text{kA cm}^{-2}$ 和 $1.5\text{mA mm}^{-1}$ ,BFOM值为 $0.95\text{GW cm}^{-2}$ 。射频场效应晶体管的击穿场强高达 $5.4\text{MV cm}^{-1}$ ,工作频率高达48GHz,饱和速度高达 $3 \times 10^6\text{cm s}^{-1}$ 。虽然许多场效应晶体管已经超过了硅的理论击穿场强,但与 $\beta\text{-Ga}_2\text{O}_3$ 相比仍有很大差距。从 $\beta\text{-Ga}_2\text{O}_3$ 场效应晶体管的概述来看,主要有以下几点启示:

(1) 高质量外延生长和缓冲层的重要性不言而喻。迄今为止最高的BFOM FET报告了 $184\text{cm}^2\text{ V}^{-1}\text{s}^{-1}$ 的最高迁移率,这是通过MOCVD不同的低/高温层实现的;

(2) SAG对大功率和射频都至关重要,因为它可用于扩展器件几何尺寸和降低源极-栅极串联电阻。如有可能,横向和纵向场效应晶体管都应采用SAG;

(3)对于大电流,垂直晶体管是首选,因为电流与器件面积成比例,而不是像横向器件那样与沟道厚度成比例。FinFET和CAVET的效果最好,其中FinFET的栅极控制能力更强,漏电更少,但复杂性更高。MacEtch FinFET是一种非干式蚀刻替代方案;

(4)常关断(E模式)场效应晶体管对功率电子器件至关重要,因为它能降低断开状态的功率损耗,实现安全的高压操作,并简化功率开关电路。由于 $\beta\text{-Ga}_2\text{O}_3$ 中缺乏p型掺杂,因此需要采用嵌入式栅极(第3.1.3节)、低掺杂沟道和CBLs(第3.2.1节)、小宽度 FinFET(第3.1.4节)、氧退火(第3.2.2节)和p 栅极材料(第3.4.2节)等方法来实现反转;

(5)FP结构(GFP、SFP)包括T栅极对任何大功率器件都至关重要。高k值或极限k值FP电介质是提高击穿性能的一个有吸引力的选择;

(6)SOI场效应晶体管对于导热、传输、新型栅极电介质等方面的研究非常有用。然而,它们在击穿电压和样品尺寸小方面受到限制。SOI场效应晶体管应被视为概念验证,目的是将成功的设计应用到批量器件中;

(7)通过TCAD模拟的新结构,如垂直沟槽栅极、GAA、空隙FPs、HBTs等,应在制造前用于评估设计的潜力;

(8)射频场效应晶体管已在 $\delta$ 掺杂的MESFETs、AlGO/GO MODFETs和HFETs中实现,并与硅掺杂的AlGO/U-ID-GO形成2DEG;

(9) 射频场效应晶体管的一个共性是其 T 型栅极结构,允许高度扩展LG,同时保持低噪声数据;

(10)据报道,射频场效应晶体管在使用或不使用FP电介质的情况下,工作频率高达 $\geq 27$  GHz;

(11)欧姆触点应始终采用一些改进措施,如再生长、离子注入或中间层;

(12)P-NiO栅极电介质有望提高BFOM,同时保持高质量/低缺陷密度界面。应添加高带隙电介质,以增加栅极摆幅,使其超过pn接通电压;

(13) 热管理至关重要,必须采用晶圆键合技术或使用高导热衬底的倒装芯片,以进一步提高器件性能;

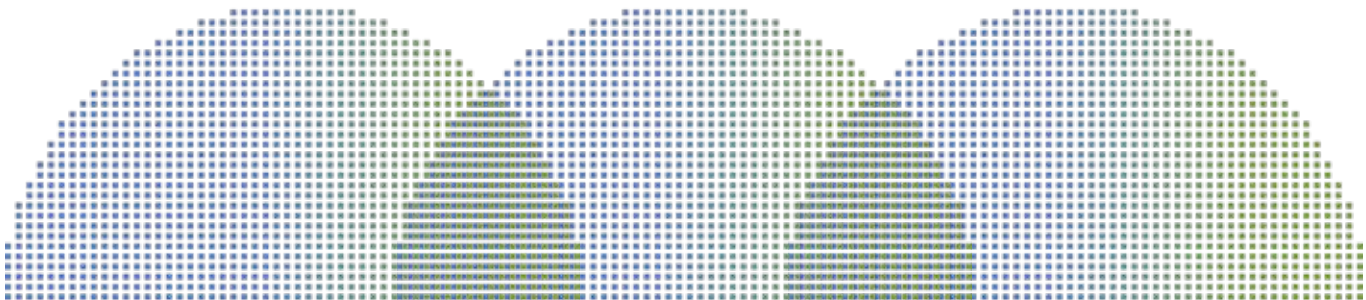
(14) 对于大功率应用,场效应晶体管的FOM(s)必须是大尺寸的,以满足额定电流和击穿电压额定值的要求。

缺陷表征对 $\beta\text{-Ga}_2\text{O}_3$ 至关重要,需要针对UWBG材料调整或发明缺陷表征技术。材料制备对提高峰值性能至关重要,在制备的每个步骤都必须加以考虑。

器件级和封装级热管理和建模对于将 $\beta\text{-Ga}_2\text{O}_3$ 器件推向市场至关重要。实验表明,导热衬底的峰值温度显著下降,建模表明,通过倒装芯片和结边冷却进行晶圆键合可降低热效应。器件和封装必须同时设计和优化,但协同设计建模仍然是有限的。

总之,材料质量、制造、缺陷表征和缓解以及热管理方面的快速进步表明,一旦解决了所面临的挑战, $\beta\text{-Ga}_2\text{O}_3$ 器件将具有巨大的潜力,可迅速进入电力电子应用领域。

(来源:半导体产业洞察)



# 杭州市滨江区《关于发展计算产业打造算力强区的若干政策(征求意见稿)》

各街道办事处、区级机关各部门、各直属单位：

为迭代建设“数字经济第一区”，抢抓人工智能发展新机遇，培育未来产业，构造和优化支撑新质生产力发展的新型基础设施，打造算力强省核心区。根据国家和省市相关文件精神，结合我区实际，特制定以下若干政策。

## 一、发展目标

以关键芯片设计制造为牵引，推动云、网、端全链条融合并进和算力、算法、数据三位一体发展，加快“中国视谷”“中国数谷”“国际零磁科学谷”等产业地标建设，全力打造全省计算产业高地、算力成本洼地、模型输出源地、数据共享高地。

力争到2025年，全区集成电路产业规模达400亿元，网络通信产业规模达850亿元；培育营收百亿以上企业1家，50亿元以上企业2家，“专精特新企业”40家以上，实施省、市重点研发、协同创新项目30项以上；聚焦“三数一链”和“沙盒监管”，形成具有引领性的数据交易、安全管控的规范化流程和规则；推进杭州人工智能计算中心建设扩容，基于全栈自主技术路线的公共算力规模达到500P，培育孵化5个具有行业影响力的专用模型，人工智能赋能标杆企业8家、典型应用场景10个。

## 二、政策举措

### (一) 支持关键芯片攻关

1. 支持技术攻关。围绕集成电路核心器件、关键芯片、关键材料、核心设备、EDA工具等，开展重大科技攻关。鼓励企业牵头承担国家、省、市技术攻关任务，对获批国家、省重大项目的，按要求给予配套资金支持。(责任单位：经信局)

2. 鼓励产业集聚。对新设立或新引进的企业，经芯火平台审核通过或入驻芯火平台后，按照房租补贴人均面积和单价标准，给予最长三年、最高全额的房租补贴。(责任单位：经信局)

3. 强化基础支撑。对开展EDA工具技术攻关，自主研发投入1000万元以上并实现实际销售的企业，经评审，按照不超过其年度自主研发投入的15%给予补助，最高补助2000万元。对集成电路企业购买EDA工具的，按照不超过实际发生费用的20%给予补助，每家企业年度最高补助100万元；对购买本地企业自主研发EDA工具的，按照不超过实际发生费用的50%给予补助，每家企业年度最高补助250万元。对购买IP开展关键芯片、先进或特色工艺研发的集成电路企业，按照不超过其购买IP直接费用的20%给予补助，每家企业年度最高补助200万元。(责任单位：经信局)

4. 加大流片支持。对重点支持领域的关键芯片产品，首次流片费用 1000万元以上的，按照不超过其流片费用的 15%给予补助，每家企业年度最高补助 2000万元；首次流片费用 1000万元以下的，按照不超过其流片费用的 30%给予补助，每家企业年度最高补助300万元。(责任单位：经信局)

5. 推动自主可控。对集成电路核心设备、关键材料等自主研发投入5000万元以上并实现实际销售的企业，经评审，按照不超过其年度研发投入的15%给予补助，最高补助5000万元。鼓励材料、装备企业申报各级产业项目，给予相应配套支持。(责任单位：经信局)

### (二) 建设算力支撑体系



1. 扩容通用算力。鼓励企业、高校院所和第三方机构参与人工智能算力中心、算力中心高速泛在互联网、多云算力调度平台、应用适配中心等算力基础设施建设,推动智算中心合理布局,加快部署适应模型训练所需的软硬件环境,提升“算力+算法”综合服务支撑能力,构建多元异构、算网协同、融合调度、绿色低碳的算力支撑体系。

(责任单位:发改局)

2. 部署边缘算力。鼓励贴近应用场景布局高效边缘算力中心,满足视觉智能、自动驾驶、智能工厂、智慧金融等低时延、高可靠业务应用需求。(责任单位:发改局)

3. 强化算力供给。对于使用“杭州人工智能计算中心”等平台算力服务资源的用户,需要进行试用和迁移适配的,鼓励算力服务机构提供免费试用期、免费迁移适配服务。对于使用杭州人工智能计算中心算力资源的,按照服务合同金额的50%给予算力补贴,单个主体年度补贴金额不超过100万元。(责任单位:发改局)

### (三) 深化数据要素改革

1. 壮大交易平台。鼓励不同主体参与公共数据资源开发利用,支持承建国家级、区域性数据交易场所和行业性数据交易平台,构建公共数据产品和服务价格形成、收益分享机制,推动政务数据安全有序开放。经认定,给予平台年交易额(不含关联企业交易额)1%的运营补贴,单家平台企业年度补贴不超过100万元。(责任单位:发改局)

2. 促进数据开放。支持企业、高校院所和第三方机构建立高质量、开放式、安全可靠的人工智能训练数据集、标准测试数据集等资源库,鼓励接入数据交易或共享平台,推动公共数据、行业数据逐步实现分级分领域脱敏开放。对于数据集、资源库被区内超过3家非关联企业调用的,经认定,按照单次流通收益的10%给予奖励,单家企业年度奖励不超过100万元。(责任单位:发改局)

3. 强化数据安全。引导企业加强对数据安全及隐私保护技术的研究,参与我区数据安全管控体系建设,推动实现网络、平台、系统、数据、业务和管理立体防护,探索利用数据治理工具或平台打造数据资源全生命周期安全保障体系。(责任单位:发改局)

### (四) 优化产业发展生态

1. 支持平台运营。对经认定的提供EDA工具和IP核、设计解决方案、先进工艺流片、先进封测服务、测试验证等设备,用于关键芯片支撑服务的集成电路公共技术平台,按照最高不超过其研发设备、软件等投入的30%给予补助,最高补助2000万元。经认定的公共服务平台为区内集成电路企业提供服务的(服务双方须无投资关联情况)可纳入区创新券载体,按照不超过经认定登记的技术服务合同金额的30%给予补助,每家企业年度最高补助50万元。(责任单位:经信局)

2. 鼓励荣誉创建。鼓励集成电路、人工智能相关平台参与各类资质认定和在我区布局,对国家级、省级高能级平台给予场地租赁、活动举办、项目建设等专项支持,每年根据实际支出最高补助500万元。(责任单位:经信局、发改局)

3. 鼓励终端应用。支持“芯机联动”,鼓励终端厂商、系统方案集成商试用自主研发的集成电路产品、设备、材料,对使用非关联集成电路企业的首次上市产品,设备、材料类当年度采购金额累计达500万元以上,按当年采购金额每500万元补助10万元的标准,每家企业最高补助100万元;芯片、模组类当年度采购金额累计达300万元以上,按照最高不超过当年采购金额的30%给予补助,每家企业最高补助150万元。(责任单位:经信局)

4. 拓展场景应用。对于开发具有较强功能泛化能力、满足多场景识别要求、可为下游应用开发提供预训练的基础模型且实现一定规模商用的,经认定给予一年内不超过10P的专属算力资源奖励。对在我区落地并推广的人工智能重大应用成果,经认定分别给予最高50万元、30万元、10万元一次性奖励。鼓励制造业企业利用人工智能技术实现全要素、全流程智能化升级,每年评选一批智能改造标杆企业按照“未来工厂”相关规定给予支持。(责任单位:发改局)

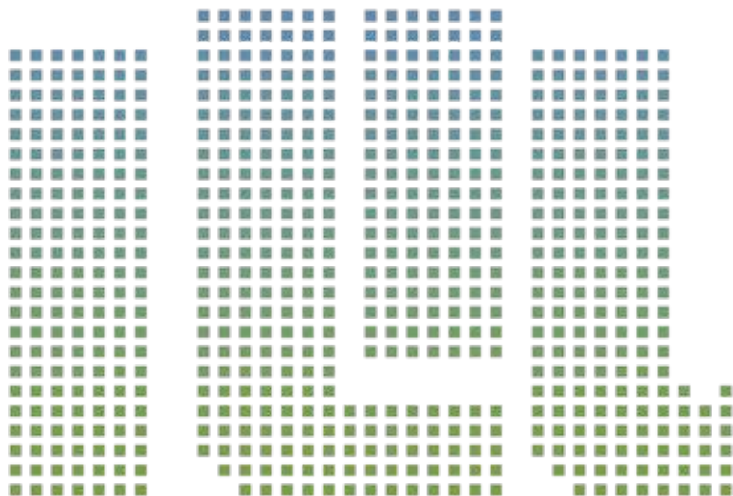
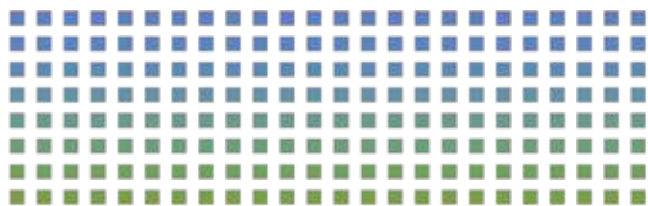
### (五) 强化资源服务保障

1. 发挥基金作用。充分发挥产业基金的引领撬动作用，通过股权直投或设立行业母基金、参与子基金等方式，加大对集成电路、人工智能企业的投资力度。对具有创新能力和发展前景的企业，区高新金投集团可以直接投资的方式参与其股权融资。探索与产业链龙头企业共同组建行业基金，扶持产业链上下游创新企业。鼓励并引导各类创业投资和产业投资基金投向集成电路产业领域。鼓励企业通过境内外上市、并购重组、发行债券等方式扩大直接融资。鼓励商业银行加大对人工智能企业的金融支持力度，支持人工智能中小微企业发展。(责任单位：发改局、高新金投集团)

2. 支持金融服务。对集成电路、人工智能企业自设立或引进三年内使用银行贷款的，按照银行同期LPR利率给予利息补贴，补贴贷款额度最高不超过500万元。(责任单位：经信局、发改局)

3. 加快人才引育。鼓励企业引进高精尖缺人才，对新引进人才入选省、市顶尖人才计划的，给予最高100万元的奖励。鼓励以才引才，集成电路、人工智能产业人才推荐同产业紧缺人才落地的，给予推荐人最高10万元荐才奖励。对人才在个人安居、子女教育等方面给予重点保障，进一步规范人才流动秩序。(责任单位：人才办)

4. 保护知识产权。鼓励企业申请发明专利、软件著作权和集成电路布图设计登记证书等权证，形成核心知识产权。企业主导、参与制定国际标准并发布的，分别给予企业100万元、50万元奖励；参与国家标准、行业标准制定并发布的，分别给予企业20万元、10万元奖励；主导、参与制定“浙江制造”标准并发布的，分别给予企业10万元、5万元的奖励。对新获得或提名国家、省、市、区政府质量奖的，给予最高200万的奖励。(责任单位：市监局)



## 杭州高新区(滨江)科技局发布《关于向社会公众征求 关于强化企业创新主体地位的实施意见的公告》

为深入实施创新驱动战略,进一步完善创新创业生态体系,鼓励技术创新,培育强化创新主体,根据《关于打造数字经济和新制造业发展“双引擎”加快建设世界一流高科技园区的若干政策意见》(区党委〔xxxx〕xxx号)等文件精神,特制定本实施意见。

### 一、强化孵化体系建设

(一)鼓励各级载体认定。对新认定的国家级、省级、市级科技企业孵化器,给予200万元、100万元、50万元奖励。众创空间按上述标准减半奖励。对经审核的区级科技企业孵化器,备案在孵企业15家及以上的,给予10万元奖励。

(二)鼓励提升孵化绩效。对获国家级、省级考核优秀的科技企业孵化器,分别给予100万元、50万元奖励,众创空间按科技企业孵化器奖励标准减半执行,其中综合型科技企业孵化器(众创空间)三年内两次绩效评优可获奖励1次。对年度绩效评价为五星(优秀)、四星(良好)等次的市级科技企业孵化器(众创空间),分别给予15万元、10万元运营资助。

(三)鼓励输出品牌服务。国家级科技企业孵化器、大学科技园(依托主体)对区内其他主体进行品牌输出,经事先审核,对接受服务后被认定国家级、省级、市级科技企业孵化器的,按每家分别给予输出方20万元、10万元、5万元奖励。

(四)鼓励孵化企业发展。对入驻市级及以上科技企业孵化器、众创空间的在孵、创客企业,前三年给予最高不超过实际租房价格50%房租补贴。鼓励毕业企业发展,毕业出孵两年内给予50%的房租补贴。

### 二、强化企业创新主体地位

(五)鼓励科技型企业提质升级。对新认定的省级科技型中小企业,给予1万元奖励。**对新认定、新引进的市级新雏鹰企业,给予100万元奖励。**对新认定的省级科技领军企业、科技小巨人企业,分别给予200万元、100万元奖励。

(六)鼓励国家高新技术企业发展。对新认定、新引进的国家高新技术企业给予30万元奖励。**对重新认定的国家高新技术企业给予10万元奖励。对规模以上工业企业新认定为高新技术企业的再给予10万元奖励。对首次上规模的国家高新技术企业,给予15万元奖励。**对新引进的国家高新技术企业或新引进且当年通过认定的国家高新技术企业,给予三年房租补贴。

(七)鼓励加大研发投入。对连续两年研发投入增速、强度达20%、10%,且增量在100万元以上的“高研值”高新技术企业,按新增研发费10%给予补助,最高不超过100万元;对研发费用首次达到200万元的规上企业,给予一次性10万元奖励。

### 三、强化创新策源能力

(八)支持新型研发机构建设。由世界一流、国内双一流大学等海内外高校、科研院所主导建设、以及区内龙头企业与“名校名院名所”联合建设符合我区产业导向的新型研发机构(独立法人),经认定可给予重点扶持。

(九)鼓励申报各级科技、产业计划项目。支持企业申报各级、各类科技、产业计划项目,区财政给予配套资助。

(十)鼓励设立研发机构。对新认定的国家级、省级重点实验室(工程技术研究中心),分别给予1000万元、300



万元奖励;对新认定的省级重点企业研究院、省级企业研究院分别给予100万元、50万元奖励;对新认定的国家、省级研发中心(工程研究中心、企业技术中心),分别给予100万元、50万元奖励;对新认定的国家、省实验室(技术创新中心)给予重点支持。

(十一)鼓励开展技术创新。对新获得国家最高科学技术奖、国家科学技术进步奖特等奖的,分别给予最高1000万元、600万元奖励;对新获得国家科学技术奖一、二等奖的,分别给予500万元、100万元奖励;新获得浙江省科学技术奖一、二、三等奖的,分别给予100万元、50万元、20万元奖励。国家科学技术奖第一责任单位予以全额奖励,第二、第三责任单位减半奖励,其他责任单位不予奖励;对浙江省科学技术奖只给予第一责任单位奖励。

(十二)支持院士专家工作站建设。对新认定为省级重点支持、市级院士工作站的,分别给予100万元、50万元建站资助;经市首次建站复核等次为优秀、合格,并通过第三年市复核的,分别给予50万元、30万元资助;对获省级、市级优秀院士工作站,分别给予50万元、20万元奖励;每多引进1位院士进站,给予20万元奖励。对新认定的市级A类、B类专家工作站,分别给予30万元、10万元建站资助;经市首次建站复核等次为优秀、合格,并通过第三年市复核的,A类专家工作站分别给予20万元、10万元资助,B类专家工作站分别给予10万元、5万元资助。支持博士创新站建设,对新认定的省级、市级博士创新站分别给予5万元建站资助。

(十三)鼓励参投科技保险。对科技型中小企业、高新技术企业购买的研发类科技保险、科技成果转化保险,按上级资助给予等额配套。

#### 四、优化成果转化体系

(十四)支持概念验证中心、中试基地建设。鼓励创建概念验证中心、中试基地,对新列入认定名单的国家、省、市级概念验证中心、中试基地,分别给予200万元、100万元、50万元奖励;对经认定的概念验证中心、中试基地,根据年度服务绩效,按上级资助给予等额配套。

(十五)加大创新券推广力度。将省级创新载体、市级创新载体、长江三角洲城市群高等院校科研院所、经认定的区级载体纳入到企业使用创新券补助范围,支持科技创新和成果转移转化。对企业给予不超过认定登记的技术合同金额30%补助,单个企业年最高额度不超过50万元。

(十六)鼓励创新国际化。对新认定国家级、省级国际科技合作基地分别给予100万元、50万元奖励。支持企业通过并购、自建等方式在海外设立研发机构,鼓励外商依法投资设立研发中心,区财政给予配套资助。

#### 五、优化科技创新生态

(十七)支持各类主体建设海外孵化器。建立区级海外创新孵化中心培育库。对新认定的省级海外创新孵化中心、市级海外科技创新中心,分别给予100万元、30万元奖励。

(十八)鼓励参加中国创新创业大赛。对新获、新引进国家赛一、二、三等奖的企业,分别给予100万元、50万元、30万元奖励,获优秀奖给予15万元奖励;对新获、新引进浙江省总决赛一、二、三等奖的,分别给予50万元、30万元、10万元奖励。

(十九)鼓励建设外国专家工作站。对新认定(备案)的省级、市级外国专家工作站,分别给予50万元、20万元奖励。

(二十)鼓励科技服务机构发展。对区内科技服务机构辅导本区企业新认定为国家高新技术企业的科技服务机构,每通过一家给予服务机构1万元奖励。

鼓励区内外科技服务机构引育企业。新引进且当年通过认定的国家高新技术企业,经审核,每新引进且认定一家给予服务机构5万元奖励。

# 什么是时钟芯片

## 一、时钟芯片功能概述

### (一) 时钟系统和时钟芯片

时钟系统可为电子系统中多个芯片提供其所需要的时钟信号，通常有两种存在方式，对于系统集成度要求较高、但数据处理速率与准确度需求较低的应用场景，时钟系统通常以集成的方式设计在SoC芯片中，如手机、智能手环等；对于数据处理速率与准确度需求较高，且功能较多、信息交互复杂的应用场景，往往需要时钟系统以独立芯片或模块的形式存在，如通讯基站、交换机、数据中心服务器、汽车、工业控制等。其中，时钟芯片属于数模混合集成电路芯片。

### (二) 时钟芯片类型

按照不同的功能，时钟产品可以分为振荡器(Oscillators)、时钟缓冲器芯片(Buffers)、时钟发生器芯片(Generators)、去抖芯片(Jitter Attenuation)、实时时钟芯片(RTC)、时钟同步芯片等。

**在电子系统运行时，可以先由振荡器提供一个固定的、较低频率的时钟信号，由时钟发生器将该信号调整至各芯片所需的不同频率并进行输出；若需要某一相同频率的时钟信号路数较多，则可以用时钟缓冲器(也称为时钟驱动器)增加该频率时钟信号的输出路数。**

在一些通讯场景对抗干扰能力更强的场景，对时钟信号的抖动要求较高或时钟信号由于远程传输干扰抖动较大，则需要使用去抖芯片对抖动的时钟信号进行去抖处理，并达到与上游设备同步的目的，保证设备可以稳定、高速、准确处理数据，且保证整个网络的时钟同步。从芯片功能上看，去抖时钟芯片也属于时钟发生器。

以下主要介绍时钟振荡器、时钟缓冲器、时钟发生器、去抖芯片等几类时钟产品。

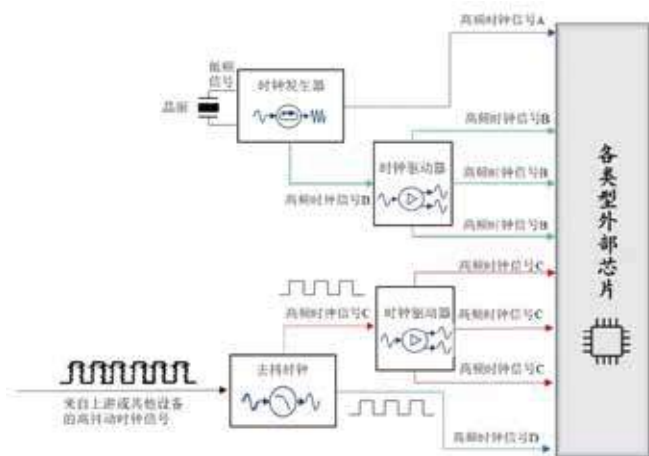
### 1. 时钟振荡器

振荡器一般为石英振荡器，属于器件产品，分为有源振荡器(OSC, Oscillator, 即晶振)和无源晶体(XTAL, 即晶体谐振器)。有源晶振内部实际由无源晶体和振荡电路IC合封而成，其中，IC的性能对晶振的输出频率的稳定性起到很重要的作用。因此，有源晶振供电后就能输出振荡信号，无源晶体必须额外增加电路才能振荡起来。



在一些对精度要求不高的场景，例如低端消费电子、移动设备等使用无源晶体来产生低频信号，而一些精度要求高的场景，例如高端通信设备、工业网络、电力设备、仪器仪表等领域，则需要使用晶振。晶振的常见的输入电压为1.8V至5V，常用标称频率在1-200MHz之间，比如32768Hz、8MHz、12MHz、24MHz、125MHz等。

根据不同技术原理和频率精度，晶振又分为普通晶体振荡器(SPXO, Simple Packaged Crystal Oscillators)、电压控制式晶体振荡器(VCXO, Volta-



ge Controlled Crystal Oscillator)、温度补偿式晶体振荡器(TCXO, Temperature Compensate Crystal Oscillator)、恒温控制式晶体振荡器(OCXO, Oven Controlled Crystal Oscillator)。

其中, SPXO通常用作微处理器的时钟器件; VCXO的精度较高, 通常用于锁相环路; TCXO采用温度敏感器件进行温度频率补偿, 频率精度更高, 通常用于通信设备, 如GPS定位等; OCXO将晶体和振荡电路置于恒温空间内, 以消除外围环境温度变化对频率的影响, 频率精度最高, 通常被应用在对精度有极高要求的特殊领域, 如航空航天等。

分类	特点	频率范围	时钟等级
XTAL 无源晶体	不包含 IC 电路, 属于无源晶体。	/	四级钟
SPXO 普通晶体振荡器	是最简单的晶体振荡器, 一般用于普通场所作为本振源或中周信号。这类晶体主要应用于对稳定度要求不高的场合。	1.5-300MHz	四级钟
VCXO 压控振荡器	利用某些材料(如石英)在受到外界电场或机械力作用时产生振动的特性来产生一定的频率信号。	1.5-125MHz	四级钟
TCXO 温补振荡器	在一定的温度范围内通过一定的补偿方式保持晶体振荡器的输出频率在一定的精度范围内的晶体振荡器。	10-104MHz	三级钟 四级钟
OCXO 恒温振荡器	是利用恒温箱使晶体振荡器中石英晶体振荡器的温度保持恒定, 将由温度变化引起的振荡器输出频率变化量削减到最小的晶体振荡器。	5-100MHz	一级钟 二级钟 三级钟

时钟源分类表

除了石英晶体谐振器, 还有MEMS谐振器用于产生频率, 即利用微米级尺寸的机械结构和电学驱动电路实现振荡功能, 从而替代晶体, 不仅缩小面积, 还能与IC振荡电路集成。

与石英晶体相比, MEMS在成本、产量和交货时间方面具有多项优势。但是, 由MEMS制作的振荡器电路结构更复杂, 除了微机械硅谐振器外, 其数字电路还包括一个锁相环(PLL)来确定和控制频率; 此外, 虽然MEMS可以在稳定性方面做得非常精确, 但它们在静态相位噪声、抖动和其他一些短期稳定性参数方面目前仍不如石英晶体。因此, 在对相位噪声并不敏感的应用中, 含MEMS振荡器将有机会以大批量、低成本的优势占据主导地位。

## 2. 时钟缓冲器

时钟缓冲器芯片的主要作用是将一路时钟频率信号通过频率复制生成多路一样的时钟频率信号。通常来说, 时钟缓冲器是指基于非锁相环(PLL)技术的扇出型缓冲器, 精度更高的时钟缓冲器叫做零延迟时钟缓冲器。零延迟缓冲器可以使多路输出的频率信号之间的延时为零、且偏斜很低, 所以成本更高些。对于FPGA、CPU、逻辑和同步存储器等需要同步时钟的应

用一般采用零延迟缓冲器。

时钟缓冲器本身是无法产生频率源, 其参考时钟可以由谐振器(石英晶体或MEMS谐振器)、晶振或时钟发生器等时钟芯片来提供。对于需要多个相同时钟输入的电路, 使用时钟缓冲器可以省去原本需要的多个石英晶体或晶振, 降低了成本、节省了电路板空间, 并能解决时间同步的问题。此外, 时钟振荡器通常不能支持所有负载, 而且驱动能力有限, 且不同的芯片由于工艺制程、封装形式以及工作电压等不同, 对时钟信号的格式、电平以及驱动能力有不同的要求, 所以, 除了时钟信号复制, 时钟缓冲器的主要功能还包括时钟信号格式转换、时钟信号电平转换。

时钟缓冲器的主要参数包括输入输出、输出频率、附加抖动等, 其中, 附加抖动是器件本身为输入信号增加的抖动值。在实际应用中, 输入的时钟信号在经过时钟缓冲后, 输出的时钟信号的抖动一定会增加, 增加的数量由附加抖来衡量。时钟缓冲的附加抖动越低, 由于时钟缓冲本身而引起的时钟信号的恶化程度就越低, 输出的时钟信号质量就越高。因此, 高性能的时钟缓冲的核心指标之一就是附加抖动。

## 3. 时钟发生器

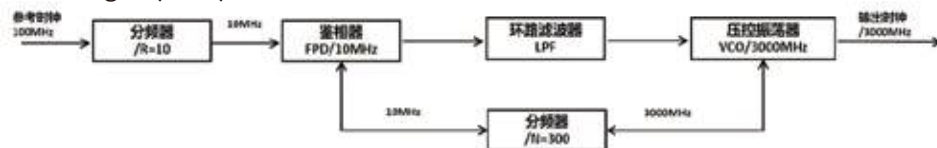
由于时钟振荡器产生的原始时钟信号频率较低, 且时钟振荡器在出厂后产生的频率固定, 难以满足电子设备中各类芯片的工作频率要求, 因此需要利用时钟发生器芯片或集成在芯片上的锁相环PLL电路进行频率合成, 从而形成满足芯片工作所需的高频时钟信号。

时钟发生器一般来说需要外加晶体或振荡器做为参考, 其主要功能是实现频率变换, 可以对参考源晶体或振荡器频率进行倍频或降频, 从而产生1路或多路输出。其中, 锁相环(Phase Locked Loop, PLL)是时钟发生器的核心技术。锁相环利用外部输入的参考信号控制环路内部振荡信号的频率和相位, 实现输出信号频率对于输入信号频率的自动跟踪。当参考时钟的频率或相位发生改变时, 锁相环会检测到这种变化, 并且通过内部反馈系统来调节输出频率, 直到二者的相位重新同步, 又称为“锁相”。

PLL的工作原理如下: PLL通常由鉴相器(FPD, Frequency Phase Detector)、低通滤波器(LPF,



Low-pass Filter) 和压控振荡器 (VCO, Voltage Controlled Oscillator) 三部分组成前向通路, 由 VCO、分频器组成频率相位的反馈通路。其中, FPD 包含电荷泵电路 (CP, charge pump), 将输入信号、反



PLL按照实现技术可以分为模拟锁相环 (APLL, Analog PLL) 和数字锁相环 (DPLL, Digital PLL), DPLL中的鉴相器采用数字电路实现, 其他部分例如 VCO、电荷泵等电路仍由模拟电路实现; 随着数字系统的广泛应用, 出现全数字锁相环 (ADPLL, All Digital PLL), 即不再采用电荷泵将鉴相器鉴出的相位差转换为电压信号, 而采用时间-数字转换器将相位差转换为数字信号, 并采用数字滤波器。

时钟发生器的主要参数包括输出时钟可以支持的频率范围、输出时钟可以支持的时钟域、输出时钟可以支持的路数、抖动/相位噪声等。此外, 还可根据需求考虑其他一些参数, 比如输出电平可以支持的类型、是否支持SSC扩频时钟、是否支持相位调节、是否需要零延时功能、是否支持默认加载配置等。

#### 4. 去抖芯片

时钟信号的抖动会影响数据在传递过程中的准确性, 导致处理器获得的原始数据存在错误编码。在时钟信号抖动一定的情况下, 信息处理的速率越高, 信息中包含的错误编码也就越多, 从而使整个系统运行效率受到影响, 甚至可能崩溃。因此, 低抖动的时钟信号对于高速数据处理系统至关重要。

去抖芯片就是滤除抖动, 芯片内部必然有低通滤波器。去抖芯片可以视为增加了去抖功能的时钟发生器芯片。



馈电路信号的相位误差由电压信号转换成电流信号, 信号流经低通滤波器后, 转化成电压储存下来, 并继续传入压控振荡器, 由此提供一个调整过后的反馈信号, 循环往复, 直至输出信号与参考信号同频同相。

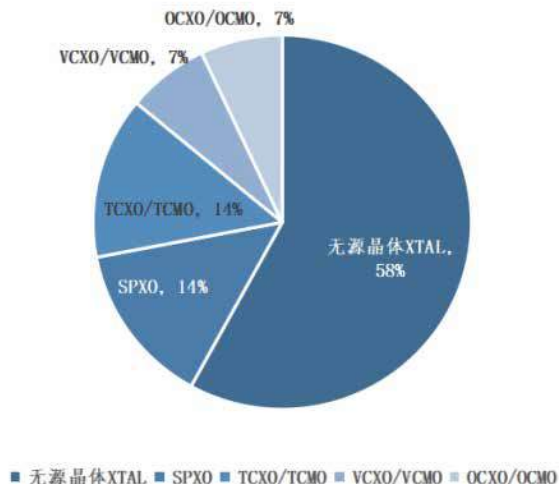
## 二、时钟芯片市场分析

### (一) 时钟振荡器及振荡器IC市场

#### 1. 市场规模情况

根据CS&A 数据, 2019年全球石英晶振销量约为180.68亿只, 行业市场规模约为30.41亿美元。根据QYR (恒州博智) 的统计及预测, 2022年全球石英振荡器市场销售额达到了39.88亿美元, 预计2029年将达到67.09亿美元, 年复合增长率 (CAGR) 为12.07% (2023-2029)。根据该增长率, 推测2023年全球石英振荡器市场约45亿美元 (即约320亿元)。

目前石英振荡器产品销售格局中, 无源晶体的销售总额占比约58%, 有源振荡器 (晶振) 的销售占比约42%, 即晶振的全球市场规模约135亿元; 其中, 压控振荡器 (VCXO)、普通振荡器 (SPXO)、温度补偿振荡器 (TCXO) 和恒温振荡器 (OCXO) 的占比分别为7%、14%、14%和7%。



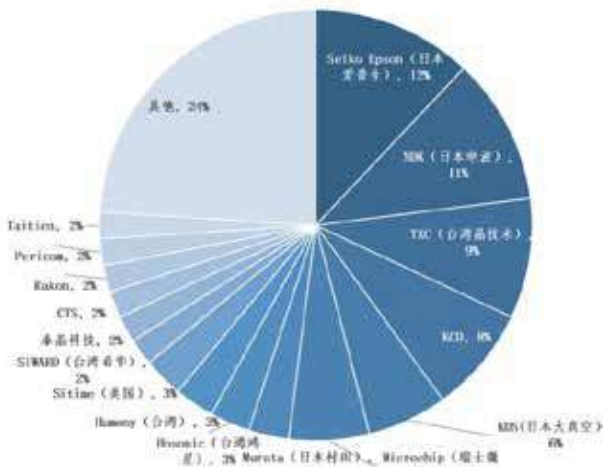
全球石英晶振产品市场结构图

根据行业访谈了解, 晶振中IC芯片的价值占比约50%左右, 则根据上述信息, 测算2023年晶振IC的全球市场规模约67亿元, 其中由于国外的晶体振荡器公司大部分都具备晶振IC的设计能力, 因此, 其中仅有部分市场是面向第三方设计公司。

在MEMS振荡器方面，SiTime是全球MEMS振荡器的领导者，产品包括MEMS谐振器、MEMS振荡器、时钟芯片等产品，应用于基站、汽车、工业自动化、物联网等领域，根据行业访谈和公开网络信息，SiTime的市占比达到90%，2022年SiTime收入为2.84亿美元(约20亿元)。

## 2. 市场竞争格局

根据CS&A 数据，2019年全球前十大晶振企业掌握约64%的市场份额，单每家的市场占比很分散，其中前三大企业为日本爱普生(Epson, 收购SEIKO)、日本电波(NDK)以及台湾晶技(TXC)，分别占11.7%、11%、9.2%的市场份额。此外，日本厂商合计占据全球50%的市场份额，其中，爱普生、NDK、京瓷(KCD)、大真空(KDS)分别占比12%、11%、8%、6%；中国台湾厂商约占据全球25%的市场份额，其中，台晶技(TXC)占比9%，市占率位列全球第三；前十中还有微芯(Microchip)、SiTime两家美国企业。



2019年全球晶振市场日系、台系厂商占据主要市场份额图

国外的晶体振荡器公司大部分都具备晶振IC的设计能力，并且有自己的晶体厂，能够实现全链条生产布局，国内仅有少数公司具备晶振IC的设计能力。国内晶体厂上市公司有东晶电子(002199.SZ)、惠伦晶体(300460.SZ)、泰晶科技(603738.SH)等。

在MEMS振荡器方面，SiTime是市场领先者，截至到2020年底，SiTime MEMS产品累计出货量达20亿片。2023年底，SiTime宣布将以5年对价2.7亿美元引入奥拉半导体的时钟芯片IP授权，以丰富其生产线。国内有麦斯塔微电子专注于全硅MEMS时钟产品的研发。

## (二) 其他时钟芯片市场

### 1. 市场规模情况

据IC insights, 2021年全球模拟芯片市场规模达到741.31亿美元，预计2023年全球模拟IC总销售额将达到832亿美元。根据Gartner预测，时钟芯片约占模拟芯片市场的2%，则推测2023年全球的时钟芯片(包括部分晶振IC\*、时钟缓冲器、时钟发生器、去抖芯片等产品)的市场规模约16.64亿美元。

中国是最大的模拟芯片市场，占到全球市场规模的36%。假设国内时钟芯片的市场占比与模拟芯片整体一致，若以Gartner保守数据为测算基础，则2023年国内时钟芯片的整体市场规模(含部分晶振IC)约6亿美元(约42亿元)，若以Market Data Forecast的数据为基础，则2023年国内仅时钟发生器、时钟驱动器和去抖芯片三类芯片的市场规模约8亿美元(约56亿元)。

\*部分晶振公司会单独购买晶振IC芯片。

### 2. 市场竞争格局

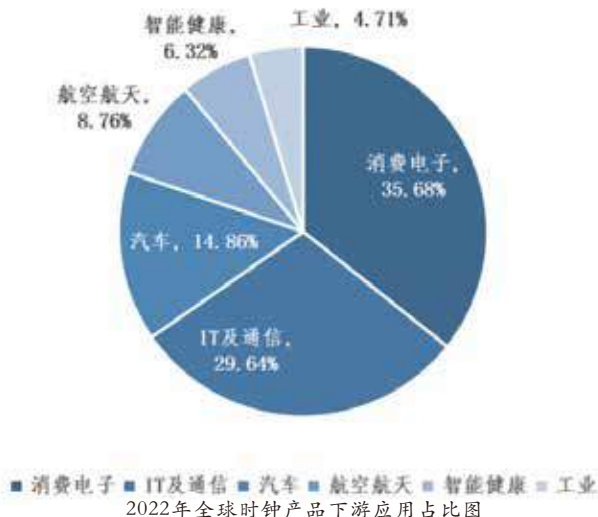
由于时钟芯片属于模拟芯片的一个细分品类，约占模拟芯片市场的2%，现市面上较少专门针对时钟芯片的报告。根据IC insights数据统计，2020年全球模拟芯片供应商CR5(业务规模前五名的公司所占的市场份额)为德州仪器(TI)、亚德诺(ADI)、思佳讯(Skyworks)、英飞凌、意法半导体(ST)，合计占据全球市场约48%的市场份额。其中，TI、ADI、Skyworks均为时钟芯片产品主要供应商。

此外，Microchip(微芯)、Pericom、SiTime等公司也均为主要的时钟芯片供应商，其中，Microchip、SiTime还是全球前十的晶振供应商。

目前，时钟芯片仍是大公司的关注方向之一，通过收并购时钟相关的公司或产品线强化公司自身业务。近期关于时钟芯片的收购包括：2020年Microchip收购Tekron，其中，Tekron致力于为高级变电站自动化应用提供精确的时间戳、确保网络时间协议(NTP)在计算机网络上的可靠性和安全性、维持输电系统运营商的连续时间同步运行、实施IEEE 1588V2精确时间协议(PTP)标准等；2021年Skyworks收购了Silicon labs(芯科科技)的时钟芯片业务。

### (三) 市场驱动因素分析

时钟芯片及器件产品广泛应用于航空航天、卫星导航、网络通信、数据中心、电力网络、工业控制、物联网、汽车电子、消费电子、仪器仪表等领域。



其中，时钟发生器、时钟缓冲器等时钟芯片的应用场景主要在网络通信、服务器、汽车电子、仪器仪表、航空航天等方面。

#### 1. 网络通信市场

在无线通信中，时钟信号调制处理后作为载波，用于无线传输数据。连接网络的终端都有信号接收和发送装置，需要用到时钟产品，为数据处理设备产生时钟信号、为特定系统提供基准信号。从不同代数的通信网络角度来看，随着通信技术的进步，通信的信号频率和数据速率大幅提升，同时需要延时大幅下降，对可靠性的要求明显提升。

5G采用超高频信号，是4G信号频率的数倍。6G网络将能够使用比5G网络更高的频率，并提供更高的容量和更低的延迟，6G网络的目标之一是支持1微秒甚至亚微秒的延迟通信。

从市场需求来看，一方面，5G通信基站建设将是一个长期持续的过程，未来5G宏基站和小基站均具有持续性的建设需求，预计至少到2030年5G仍为主要的移动通信技术，这将为时钟产品带来持续稳定的市场需求；另一方面，最初的6G部署可能会开始出现在2030年至2035年的时间范围内，将对时钟产品的尺寸、功耗、成本等多个因素提出了更高的要求。

以5G宏基站/小基站为例，每个基站需要3块RRU板卡，每个板卡一般一颗晶振、2~4颗时钟发生器和

缓冲器，2023年全球宏基站、小基站合计约360万台，则保守估计5G通信仅在无线基站方面对时钟产品的需求约15亿元，假设国内设备厂的全球市占比为50%，则国内5G基站部署对时钟产品的需求约7.5亿元。

#### 2. 服务器市场

服务器一般需要独立的时钟芯片产品，服务器主板至少需要1颗振荡器、1颗时钟生成器/时钟缓冲器。根据IDG数据，2021年全球服务器市场出货量1353.9万台，同比增长6.9%。中国服务器出货量达到391.1万台。按照年复合增长率9.5%测算，则预计2023年全球服务器出货量1623.4万台，中国服务器出货量达到445万台。因此，保守估计2023年全球服务器时钟芯片市场规模约16亿元，国内约4.5亿元。

rendForce集邦咨询预测，全球AI服务器市场将在2024年迎来显著增长，预计总量将超过160万台，年增长率达到40%，随着市场的扩大，云服务提供商将会更为积极地投入AI服务器领域，这一趋势反映了AI技术将持续发展和普及，因此，时钟产品在服务器市场也将随之增长。

#### 3. 汽车电子市场

在汽车电子领域，时钟产品主要运用在娱乐与远程通信系统、导航系统、安全电子系统、胎压监测系统、安全电子系统、车身系统、高级驾驶员辅助系统、电池管理系统中。随着汽车的电动化、智能化、网联化趋势越来越明显，新能源汽车渗透率的不断提升，汽车内部电子元件的种类和应用数量也不断提高，直接推动时钟产品市场需求。

#### 4. 仪器仪表市场

随着仪器仪表的国产化和技术升级，时钟产品对设备的性能影响也越发凸显，中高端仪器仪表的关键芯片国产化也成为未来趋势。其中，示波器、频率类分析仪表（包括频谱分析仪、网络分析仪、信号发生器、矢量网络分析仪等）等设备对时钟芯片需求较大。

以频谱类分析仪表为例，根据Technavio的分析数据，2019年国内频谱和网络分析仪的市场规模达到21.2亿美元，预计将以5.54%的复合年均增长率增长，则预计在2024年达到27.76亿美元。其中，每台仪表将使用约4颗时钟芯片，约占设备成本的3%，即



2024年国内频率类仪表对于时钟芯片的需求约6亿元。

### 三、国产时钟芯片进展

国内目前有多家公司的主营业务以时钟芯片产品为主，包括已申报IPO的宁波奥拉半导体股份有限公司（简称奥拉）、广东大普通信技术股份有限公司（简称大普），以及获得知名机构投资的新港海岸（北京）科技有限公司（简称新港海岸）、无锡有容微电子有限公司（简称有容微）、上海锐星微电子科技有限公司（简称锐星微）等，例如新港海岸曾获得华为哈勃的投资；此外，也有一些知名公司推出了时钟芯片产品，例如成都电科星拓科技有限公司（简称电科星拓）、核芯互联（北京）科技有限公司（简称核芯互联）等。

根据各公司的官方网站、公开渠道信息和访谈交流信息，国产时钟芯片产品主要面向5G基站、信创服务器等市场，产品以pin-2-pin国产化替代为主。其中，去抖芯片主要应用于通信市场，集成了时钟发生、去抖等功能，技术壁垒较高，奥拉、有容微等公司均推出了去抖芯片，根据奥拉招股说明书，奥拉的去抖芯片已批量在5G基站供货，国内去抖芯片主要参考Skyworks的型号，时钟缓冲器芯片产品对标Pericom、TI型号较多。此外，龙营半导体主要面向车规市场，其第二大股东是全球前三的晶振供应商台湾晶技。

但是，**目前国产时钟芯片公司的收入规模仍然较小，除奥拉以外，大部分公司关于时钟芯片的收入仍在千万元级别，国内企业仍有较大的国产化替代空间。**

国内可查询到有推出时钟芯片的公司及其概况：

公司简称	成立时间	注册地	产品情况					
			振荡器IC	时钟缓冲器	时钟发生器	去抖芯片	RTC	时钟同步芯片
奥拉	2018	宁波	√	√	√	√		
大普	2005	东莞	√	√			√	√
新港海岸	2012	北京		√	√	√		
电科星拓	2019	成都		√				
有容微	2018	无锡		√	√	√		
赛恩	2013	嘉兴		√	√			√
炬亨	2020	北京	√				√	
锐星微	2011	上海	√	√				
核芯互联	2020	南京		√	√			
核芯互联	2017	北京		√	√			
华时嘉祥	2021	上海	√	√	√		√	
慧金微	2019	杭州	√		√	√		√
芯奥通	2021	天津			√			
龙营半导体	2018	宁波	√					
赛芯芯	2022	成都	√	√	√	√		

国内时钟产品情况汇总表

### 四、时钟芯片的技术壁垒

作为电子系统的“脉搏”，时钟信号质量会直接影响电子设备的运行效率。然而，钟信号从产生到传递再到读取，每一个环节都不可避免的存在各种干扰，导致时钟信号质量下降，主要表现为频率精度的下降（频率漂移）和时钟周期抖动的增加（相位漂移）。

受限于较高的市场壁垒（例如需要适配已有的解决方案）以及对应用经验的积累，国产时钟芯片的现阶段发展仍以pin-2-pin的产品策略为主。时钟芯片的关键参数包括频率、抖动、杂散、面积、功耗等，其中：芯片能否达到设计的最高频率、输出的频率范围取决于芯片架构的设计和工艺的选择（例如用CMOS工艺替代SiGe工艺可以降低成本，但在同等制程下输出频率可能会降低）；此外，各参数之间存在制约，在产品定义、架构设计、布局布线、工艺选择等方面需要根据需求来平衡，例如，在面积功耗实现性能最优的情况下，可能会牺牲一部分抖动和杂散。

由于国外的时钟芯片公司（例如ADI、TI 等）大多拥有自己的生产产线，在同样的工艺制程下，其产品的综合性能已达到最优，因此，要求新进入者对工艺和架构都有很深的理解，在采用与国外同型号产品同样的制程下，芯片仍能在面积、功耗、抖动、杂散等方面具有可比性。

### 五、国产时钟芯片的未来发展方向

2023年中国的成熟工艺产能已经占据了全球成熟工艺产能的29%，这对于模拟芯片、数模混合芯片产品来说是很好的技术发展机会。中国发展成熟工艺，不仅可以满足国内的产能需求，减少对外部的依赖，还可以促进工艺与设计的结合，通过工艺的提升来实现产品性能的最优。

国外时钟芯片基本采用成熟工艺，通过设计与工艺的适配与迭代来保障产品性能。随着国内成熟制程的工艺能力提升，国内时钟芯片设计公司可以通过国内Fab厂紧密合作来提升产品的竞争力，这将是国产时钟芯片实现与国际品牌在中高端市场竞争的重要发展方向之一。

此外，无论是网络通信、数据中心还是汽车电子，随着接口带宽的增加、调制技术的发展、应用环境复杂度的提升，未来时钟产品的主要革新升级方向包

括：更高稳定度、更小尺寸、更低功耗、更宽温度、更低相位噪声、更低成本结构、更可靠的结构设计、更高集成度等。随着网络设备、服务器、汽车、仪器仪表等整机设备国产化、高端化的进程，国产时钟芯片也将从

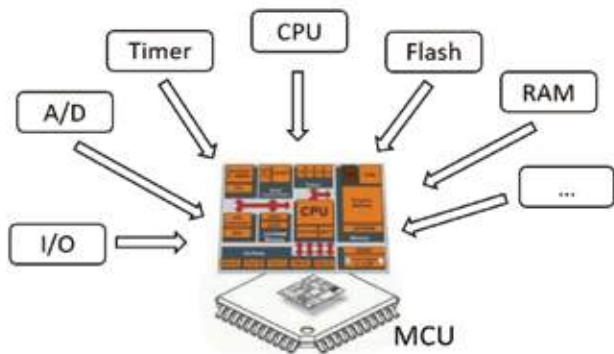
pin-2-pin的阶段进入自定义产品的阶段，从而更好的配合整机方案的研发。

(来源：半导体国产化)

## 一文读懂汽车控制芯片(MCU)

### 1. 控制类芯片介绍

控制类芯片主要就是指MCU (Microcontroller Unit)，即微控制器，又叫单片机，是把CPU的主频与规格做适当缩减，并将存储器、定时器、A/D转换、时钟、I/O端口及串行通讯等多种功能模块和接口集成在单个芯片上，实现终端控制的功能，具有性能高、功耗低、可编程、灵活度高等优点。



汽车是MCU的一个非常重要的应用领域，据IC Insights数据，2019年全球MCU应用于汽车电子的占比约为33%。高端车型中每辆车用到的MCU数量接近100个，从行车电脑、液晶仪表，到发动机、底盘，汽车中大大小小的组件都需要MCU进行把控。早期，汽车中应用的主要是8位和16位MCU，但随着汽车电子化和智能化不断加强，所需要的MCU数量与质量也不断提高。当前，32位MCU在汽车MCU中的占比已经

达到了约60%，其中ARM公司的Cortex系列内核，因其成本低廉，功耗控制优异，是各汽车MCU厂商的主流选择。

汽车MCU的主要参数包括工作电压、运行主频、Flash和RAM容量、定时器模块和通道数量、ADC模块和通道数量、串行通讯接口种类和数量、输入输出I/O口数量、工作温度、封装形式及功能安全等级等。

按CPU位数划分，汽车MCU主要可分为8位、16位和32位。随着工艺升级，32位MCU成本不断下降，目前已经成为主流，正在逐渐替代过去由8/16位MCU主导的应用和市场。

如果按应用领域划分，汽车MCU又可以分为车身域、动力域、底盘域、座舱域和智驾域。其中对于座舱域和智驾域来说，MCU需要有较高的运算能力，并具有高速的外部通讯接口，比如CAN FD和以太网，车身域同样要求有较多的外部通讯接口数量，但对MCU的算力要求相对较低，而动力域和底盘域则要求更高的工作温度和功能安全等级。

### 2. 底盘域控制芯片

底盘域是与汽车行驶相关，由传动系统、行驶系统、转向系统和制动系统共同构成，有五大子系统构成，分别为转向、制动、换挡、油门、悬挂系统，随着汽车智能化发展，智能汽车的感知识别、决策规划、控制

执行为底盘域核心系统，线控转向和线控制动是面向自动驾驶执行端的核心零部件。

#### (1) 工作要求

底盘域ECU采用高性能、可升级的功能安全性平台，并支持传感器群集及多轴惯性传感器。基于这种应用场景，对底盘域MCU提出如下需求：

- 高主频和高算力要求，主频不低于200MHz且算力不低于300DMIPS

- Flash存储空间不低于2MB，具有代码Flash和数据Flash物理分区；

- RAM不低于512KB；

- 高功能安全等级要求，可以达到ASIL-D等级；

- 支持12位精度ADC；

- 支持32位高精度，高同步性定时器；

- 支持多通道CAN-FD；

- 支持不低于100M以太网；

- 可靠性不低于AEC-Q100 Grade1；

- 支持在线升级(OTA)；

- 支持固件验证功能(国密算法)；

#### (2) 性能要求

- 内核部分：

I.内核主频：即内核工作时的时钟频率，用于表示内核数字脉冲信号震荡的速度，主频不能直接代表内核的运算速度。内核的运算速度还和内核的流水线、缓存、指令集等有关关系；

II.算力：通常可以使用DMIPS来进行评估。DMIPS是指测量MCU综合的基准程序的测试程序时表现出来的相对性能高低的一个单位。

- 存储器参数：

I.代码存储器：用于存放代码的存储器；

II.数据存储器：用于存放数据的存储器；

III.RAM：用于存放临时数据和代码的存储器。

- 通信总线：包括汽车专用总线和常规通信总线；

- 高精度外设；

- 工作温度；

#### (3) 产业格局

由于不同车厂采用的电子电气架构会有所区别，对底盘域的零部件需求会有所不同。同一车厂的不同车型由于高低配置不同，对底盘域的ECU选择也会不

一样。这些区分都会造成对底盘域的MCU需求量会有所不同。例如本田雅阁的底盘域MCU芯片使用了3颗，奥迪Q7采用了大约11颗底盘域的MCU芯片。2021年中国品牌乘用车产量约为1000万辆，其中单车底盘域MCU平均需求量为5颗，整个市场总量就达到了约5000万颗。整个底盘域MCU的主要供货商为英飞凌、恩智浦、瑞萨、Microchip、TI和ST。这五家国际半导体厂商在底盘域MCU的市场占比超过了99%。

#### (4) 行业壁垒

关键技术角度，EPS、EPB、ESC等底盘域的零部件均与驾驶员的生命安全息息相关，因此对底盘域MCU的功能安全等级要求非常高，基本上都是ASIL-D等级的要求。这个功能安全等级的MCU国内属于空白。除了功能安全等级，底盘域零部件的应用场景对MCU的主频、算力、存储器容量、外设性能、外设精度等方面均有非常高的要求。底盘域MCU形成了非常高的行业壁垒，需要国产MCU厂商去挑战和攻破。

供应链方面，由于底盘域零部件需要控制芯片具有高主频、高算力的要求，这对晶圆生产的工艺和制程方面提出了比较高的要求。目前看来至少需要55nm以上的工艺才能满足200MHz以上的MCU主频要求。在这个方面国内的车规MCU产线尚不完备，没有达到量产级别。国际半导体厂商基本上都采用了IDM模式，在晶圆代工厂方面，目前只有台积电、联华电子和格芯具备相应能力。国内芯片厂商均为Fabless公司，在晶圆制造和产能保证上面具有挑战和一定的风险。

在自动驾驶等核心计算场景中，传统通用CPU由于计算效率低，难以适应AI计算要求，GPU、FPGA以及ASIC等AI芯片凭借着自身特点，在边缘端和云端有着优异表现，应用更广。从技术趋势看，短期内GPU仍将是AI芯片主导，长期来看，ASIC是终极方向。从市场趋势看，全球AI芯片需求将保持较快增长势头，云端、边缘芯片均具备较大增长潜力，预计未来5年市场增速将接近50%；国内芯片技术虽然基础较弱，但随着AI应用的快速落地，AI芯片需求快速放量为本土芯片企业技术和能力成长创造机遇。自动驾驶对算力、时



延和可靠性要求严苛，目前多使用GPU+FPGA的解决方案，后续随着算法的稳定以及数据驱动，ASIC有望获得市场空间。

CPU芯片上需要很多空间来进行分支预测与优化，保存各种状态以降低任务切换时的延时。这也使得其更适合逻辑控制、串行运算与通用类型数据运算。以GPU与CPU进行比较为例，与CPU相比，GPU采用了数量众多的计算单元和超长的流水线，只有非常简单的控制逻辑并省去了Cache。而CPU不仅被Cache占据了大量空间，而且还有复杂的控制逻辑和诸多优化电路，相比之下计算能力只是很小的一部分。

### 3. 动力域控制芯片

动力域控制器是一种智能化的动力总成管理单元。借助CAN/FLEXRAY实现变速器管理，电池管理，监控交流发电机调节，主要用于动力总成的优化与控制，同时兼具电气智能故障诊断智能节电、总线通信等功能。

#### (1) 工作要求

动力域控制MCU可支持BMS等动力方面的主要应用，其要求如下：

- 高主频，主频600MHz~800MHz
- RAM 4MB
- 高功能安全等级要求，可以达到ASIL-D等级；
- 支持多通道CAN-FD；
- 支持2G以太网；
- 可靠性不低于AEC-Q100 Grade1；
- 支持固件验证功能(国密算法)；

#### (2) 性能要求

**高性能:**产品集成了ARM Cortex R5双核锁步CPU和4MB片内SRAM以支撑汽车应用对于算力和内存日益增长的需求。ARM Cortex-R5F CPU主频高达800MHz。

**高安全:**车规可靠性标准AEC-Q100达到Grade 1级别，ISO26262功能安全等级达到ASIL D。采用的双核锁步CPU，可以实现高达99%的诊断覆盖率。内置的信息安全模块集成真随机数生成器、AES、RSA、ECC、SHA以及符合国密商密相关标准的硬件加速器。这些信息安全功能的集成可以满足安全启动、安

全通信、安全固件更新升级等应用的需求。

### 4. 车身域控制芯片

车身域主要负责车身各种功能的控制。随着整车发展，车身域控制器也越来越多，为了降低控制器成本，降低整车重量，集成化需要把所有的功能器件，从车头的部分、车中间的部分和车尾部的部分如后刹车灯、后位置灯、尾门锁、甚至双撑杆统一集成到一个总的控制器里面。

车身域控制器一般集成BCM、PEPS、TPMS、Gateway等功能，也可拓展增加座椅调节、后视镜控制、空调控制等功能，综合统一管理各执行器，合理有效地分配系统资源。车身域控制器的功能众多，如下图所示，但不限于在此列举的功能。

灯光控制	雨刮控制	门窗控制	后视镜控制	PEPS	座椅控制	其他
近光灯	低速雨刮	四门解闭锁	后视镜折叠	无钥匙启动	座椅调节	LIMHONE
远光灯	高速雨刮	磁维解锁	后视镜镜片调节	无钥匙进入	座椅加热	远程功能
位置灯	雨刷控制	自动落锁	后视镜加热	密匙功能	座椅通风	OTA
转向灯	点刹	车窗升降		发动机防盗		诊断读写
刹车灯		车窗防夹		整车电源管理		
日间行车灯		一键降窗				

#### (1) 工作要求

汽车电子对MCU控制芯片的主要诉求为更好的稳定性、可靠性、安全性、实时等技术特性要求，以及更高的计算性能和存储容量，更低的功耗指标要求。车身域控制器从分散化的功能部署，逐渐过渡到集成所有车身电子的基础驱动、钥匙功能、车灯、车门、车窗等的大控制器，车身域控制系统设计综合了灯光、雨刮洗涤、中控门锁、车窗等控制，PEPS智能钥匙、电源管理等，以及网关CAN、可扩展CANFD和FLEXRAY、LIN网络、以太网等接口和模块等多方面的开发设计技术。

在总体上讲，车身域上述各种控制功能对MCU主控芯片的工作要求主要体现在运算处理性能、功能集成度和通信接口，以及可靠性等方面。具体要求方面由于车身域不同功能应用场景的功能差异性较大，例如电动车窗、自动座椅、电动尾门等车身应用还存在高效电机控制方面的需求，这类车身应用要求MCU集成有FOC电控算法等功能。此外，车身域不同应用场景对芯片的接口配置需求也不尽相同。因此，通常需要根据具体应用场景的功能和性能要求，并在此基础

上综合衡量产品性价比、供货能力与技术服务等因素进行车身域MCU选型。

## (2) 性能要求

车身域控制类MCU芯片主要参考指标如下：

- 性能：ARM Cortex-M4F @ 144 MHz, 180DMIPS, 内置8KB指令Cache缓存, 支持Flash加速单元执行程序0等待。

- 大容量加密存储器：高达512K Bytes eFlash, 支持加密存储、分区管理及数据保护, 支持ECC校验, 10万次擦写次数, 10年数据保持; 144K Bytes SRAM, 支持硬件奇偶校验。

- 集成丰富的通信接口：支持多路GPIO、USART、UART、SPI、QSPI、I2C、SDIO、USB2.0、CAN 2.0B、EMAC、DVP等接口。

- 集成高性能模拟器件：支持12bit 5Msps高速ADC、轨到轨独立运算放大器、高速模拟比较器、12bit 1Msps DAC; 支持外部输入独立参考电压源, 多通道电容式触摸按键; 高速DMA控制器。

- 支持内部RC或外部晶体时钟输入、高可靠性复位。

- 内置可校准的RTC实时时钟, 支持闰年万年历, 闹钟事件, 周期性唤醒。

- 支持高精度定时计数器。

- 硬件级安全特性：密码算法硬件加速引擎, 支持AES、DES、TDES、SHA1/224/256, SM1、SM3、SM4、SM7、MD5算法; Flash存储加密, 多用户分区管理(MMU), TRNG真随机数发生器, CRC16/32运算; 支持写保护(WRP), 多种读保护(RDP)等级(L0/L1/L2); 支持安全启动, 程序加密下载, 安全更新。

- 支持时钟失效监测, 防拆监测。

- 具有96位UID及128位UCID。

- 高可靠工作环境：1.8V~3.6V/-40°C~105°C。

## (3) 产业格局

车身域电子系统不论是对国外企业还是国内企业都处于成长初期。国外企业在如BCM、PEPS、门窗、座椅控制器等单功能产品上有深厚的技术积累, 同时各大外企的产品线覆盖面较广, 为他们做系统集成产品奠定了基础。而国内企业新能源车车身应用上具有

一定优势。以BYD为例, 在BYD的新能源车上, 将车身域分为左右后三个域, 重新布局和定义系统集成的产品。但是在车身域控制芯片方面, MCU的主要供货商为仍然为英飞凌、恩智浦、瑞萨、Microchip、ST等国际芯片厂商, 国产芯片厂商目前市场占有率低。

## (4) 行业壁垒

从通信角度来看, 存在传统架构-混合架构-最终的Vehicle Computer Platform的演变过程。这里面通信速度的变化, 还有带高功能安全的基础算力的价格降低是关键, 未来有可能逐步实现在基础控制器的电子层面兼容不同的功能。例如车身域控制器能够集成传统BCM、PEPS、纹波防夹等功能。相对来说, 车身域控制芯片的技术壁垒要低于动力域、驾舱域等, 国产芯片有望率先在车身域取得较大突破并逐步实现国产替代。近年来, 国产MCU在车身域前后装市场已经有了非常良好的发展势头。

## 5. 座舱域控制芯片

电动化、智能化、网联化加快了汽车电子电气架构向域控方向发展, 座舱域也在从车载影音娱乐系统到智能座舱快速发展。座舱以人机交互界面呈现出来, 但不管是之前的信息娱乐系统还是现在的智能座舱, 除了有一颗运算速度强大的SOC, 还需要一颗实时性高的MCU来处理与整车的交互。软件定义汽车、OTA、Autosar在智能座舱域的逐渐普及, 使得对座舱域MCU资源要求也越来越高。具体体现在FLASH、RAM容量需求越来越大, PIN Count需求也在增多, 更复杂的功能需要更强的程序执行能力, 同时还要有更丰富的总线接口。

### (1) 工作要求

MCU在座舱域主要实现系统电源管理、上电时序管理、网络管理、诊断、整车数据交互、按键、背光管理、音频DSP/FM模块管理、系统时间管理等功能。

MCU资源要求：

- 对主频和算力有一定要求, 主频不低于100MHz且算力不低于200DMIPS;

- Flash存储空间不低于1MB, 具有代码Flash和数据Flash物理分区;

- RAM不低于128KB;

- 高功能安全等级要求, 可以达到ASIL-B等级;

- 支持多路ADC;
- 支持多路CAN-FD;
- 车规等级AEC-Q100 Grade1;
- 支持在线升级(OTA),Flash支持双Bank;
- 需要有SHE/HSM-light等级及以上信息加密引擎,支持安全启动;

· Pin Count不低于100PIN;

### (2) 性能要求

·IO支持宽电压供电(5.5v~2.7v),IO口支持过压使用;

很多信号输入根据供电电池电压波动,存在过压输入情况,IO口支持过压使用能提升系统稳定、可靠性。

· 存储器寿命:

汽车生命周期长达10年以上,因此汽车MCU程序存储、数据存储需要有更长的寿命。程序存储和数据存储需要有单独物理分区,其中程序存储擦写次数较少,因此Endurance>10K即可,数据存储需要频繁擦写,需要有更大的擦写次数,参考data flash指标Endurance>100K,15年(<1K),10年(<100K)。

· 通信总线接口;

汽车上总线通信负荷量越来越高,因此传统CAN已不能满足通信需求,高速CAN-FD总线需求越来越高,支持CAN-FD逐渐成为MCU标配。

### (3) 产业格局

目前国产智能座舱MCU占比还很低,主要供应商仍然是NXP、Renesas、Infineon、ST、Microchip等国际MCU厂商。国内有多家MCU厂商已在布局,市场表现还有待观察。

### (4) 行业壁垒

智能座舱车规等级、功能安全等级相对不算太高,主要是know how方面的积累,需要不断的产品迭代和完善。同时由于国内晶圆厂有车规MCU产线的不多,制程也相对落后一些,若要实现全国供应链需要一段时间的磨合,同时可能还存在成本更高的情况,与国际厂商竞争压力更大。

## 6. 国产控制芯片应用情况

车载控制类芯片主要以车载MCU为主,国产龙头企业如紫光国微、华大半导体、上海芯钛、兆易创新、

杰发科技、芯驰科技、北京君正、深圳曦华、上海琪埔维、国民技术等,均有车规级MCU产品序列,对标海外巨头产品,目前以ARM架构为主,也有部分企业开展了RISC-V架构的研发。

目前国产车载控制域芯片主要应用于汽车前装市场,在车身域、信息娱乐域实现了上车应用,而在底盘、动力域等领域,仍以海外意法半导体、恩智浦、德州仪器、微芯半导体、意法等芯片巨头为主,国内仅有少数几家企业已实现量产应用。目前国内芯片厂商芯驰在2022年4月发布高性能控制芯片E3系列产品基于ARM Cortex-R5F,功能安全等级达到ASIL D,温度等级支持AEC-Q100 Grade 1,CPU主频高达800MHz,具有高达6个CPU内核,是现有量产车规MCU中性能最高的产品,填补国内高端高安全级别车规MCU市场的空白。芯驰E3凭借高性能和高可靠性,可以用于BMS、ADAS、VCU、线控底盘、仪表、HUD、智能后视镜等核心车控领域。采用E3进行产品设计的客户已经超过100多家,包含广汽、吉利等。

序号	企业	型号	应用位置	车规认证	质量体系认证	技术参数
1	上海芯钛	T9191X	车身控制器、T-BOX、多功能大灯控制器、中控大屏	AEC-Q100 Grade 1ISO26262 ASIL-B 流程认证、ISO26262 ASIL-B	ISO9001:2015	工作电压 3.3V~5.5V 运行主频MHz (范围) 240MHz (单核) 芯片内核数量 Cortex-M7 1-3 信息安全: [VITA Full, 支持国际及国密算法 FLASH容量大小 max 8MB RAM容量大小 max 1152KB 芯片耐受温度 (环境、结) Tj<150°C Ta<125°C 输入输出IO口数量 >100 ADC模块数量 6*14*12bit DMA模块 32ch SPI模块 6 IIC模块 4 CAN-FD模块 12 LIN模块 16 UART模块 (SCI) 4 车规以太网模块 支持 产品工艺节点 55nm
2	瑞华科技	CVM01X	车身控制器、座椅控制器、车灯控制器、车稳定调压、电机控制器	ISO26262/ISO1434	AEC-Q100/ISO9001:2015/ATF16949	内置FPU、DSP、MPU; 主频: 160Mhz; 信息安全: ASE、SHA、支持国密; ASIL B-D; AEC-Q100 Grade 1; 工艺节点: 28/40nm SPI模块 支持 IIC模块 支持 CAN模块 支持 CANFD模块 支持 LIN模块 支持 DMA、ADC、DAC支持
3	杰发科技	ATB111QBF	BMS、OBC、ETC、空滤控制板、原车泵、360AVM、空调压缩机	AEC-Q100 Grade 1, RT-20191213-CR01, RT-20200103-CR01	IATF16949/ISO9001, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 96MHz 芯片内核数量 Cortex-M3 x 1 PFLASH容量大小 256KB RAM容量大小 32KB 芯片耐受温度 (环境、结) Tj<150°C Ta<125°C 输入输出IO口数量 52 ADC模块数量 1*16*12bit DMA模块 1*16-ch 比较器模块 2*6bit SPI模块 2 IIC模块 2 CAN模块 2 LIN模块 2 UART模块 (SCI) 6 产品工艺节点 55nm
4	杰发科技	ATB111QBF	车前防夹、TPMS接收端	AEC-Q100 Grade 1, RT-20191213-CR01, RT-20200103-CR01	IATF16949/ISO9001, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 96MHz 芯片内核数量 Cortex-M3 x 1 PFLASH容量大小 128KB RAM容量大小 32KB 芯片耐受温度 (环境、结) Tj<150°C Ta<125°C 输入输出IO口数量 52 ADC模块数量 1*16*12bit DMA模块 1*16-ch 比较器模块 2*6bit SPI模块 2 IIC模块 2 CAN模块 2 LIN模块 2 UART模块 (SCI) 6 产品工艺节点 55nm



5	杰发科技	AC1811MBFE	电动车门、一键控车	AEC-Q100 Grade 1, RT-20191213-CR01, RT-20200103-CR01	IATF1694 9/ISO9000 1, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 96MHz 芯片内核数量 Cortex-M3 x 1 PFLASH容量大小 128KB RAM容量大小 32KB 芯片耐受温度 (环境, 结) $T_j < 150^{\circ}\text{C}$ 输入输出IO数量 52 ADC模块数量 1*16*12bit DMA模块 1*16-ch 比较器模块 2*6bit SPI模块 2 IIC模块 2 CAN模块 2 LIN模块 2 UART模块 (SCI) 6 产品工艺节点 55nm
6	杰发科技	AC1811QBBGE	BCM, T-BOX, 液晶仪表	AEC-Q100 Grade 1, RT-20191213-CR01, RT-20200103-CR01	IATF1694 9/ISO9000 1, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 96MHz 芯片内核数量 Cortex-M3 x 1 PFLASH容量大小 256KB RAM容量大小 64KB 芯片耐受温度 (环境, 结) $T_j < 150^{\circ}\text{C}$ 输入输出IO数量 68 ADC模块数量 1*16*12bit DMA模块 1*16-ch 比较器模块 2*6bit SPI模块 2 IIC模块 2 CAN模块 2 LIN模块 2 UART模块 (SCI) 6 产品工艺节点 55nm
7	杰发科技	AC17013FDLA	CAN按钮控制, 电子水泵, 超声波雷达, 多功能方向盘, 行人报警	AEC-Q100 Grade 1	IATF1694 9/ISO9000 1, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 48MHz/72MHz 芯片内核数量 Cortex-M0+ x 1 PFLASH容量大小 128KB RAM容量大小 20KB 芯片耐受温度 (环境, 结) $T_j < 150^{\circ}\text{C}$ 输入输出IO数量 42 ADC模块数量 1*12*12bit DMA模块 1*12-ch 比较器模块 1*6bit SPI模块 2 IIC模块 2 CAN模块 1 CANFD模块 1 LIN模块 2 UART模块 (SCI) 3 产品工艺节点 55nm
8	杰发科技	AC17013FCCLA	PEPS模块, 车机分离, 尾灯, 头灯	AEC-Q100 Grade 1	IATF1694 9/ISO9000 1, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 48MHz/72MHz 芯片内核数量 Cortex-M0+ x 1 PFLASH容量大小 64KB RAM容量大小 16KB 芯片耐受温度 (环境, 结) $T_j < 150^{\circ}\text{C}$ 输入输出IO数量 42 ADC模块数量 1*12*12bit DMA模块 1*12-ch 比较器模块 1*6bit SPI模块 2 IIC模块 2 CAN模块 1 CANFD模块 1 LIN模块 2 UART模块 (SCI) 3 产品工艺节点 55nm
9	杰发科技	AC17013MDQA	TPMS接收端, PAH.5气体传感器, 氛围灯	AEC-Q100 Grade 1	IATF1694 9/ISO9000 1, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 48MHz/72MHz 芯片内核数量 Cortex-M0+ x 1 PFLASH容量大小 128KB RAM容量大小 20KB 芯片耐受温度 (环境, 结) $T_j < 150^{\circ}\text{C}$ 输入输出IO数量 27 ADC模块数量 1*9*12bit DMA模块 1*12-ch 比较器模块 1*6bit SPI模块 1 IIC模块 1 CAN模块 1 CANFD模块 1 LIN模块 2 UART模块 (SCI) 3 产品工艺节点 55nm
10	杰发科技	AC17013MCQA	雨量传感器, 倒车雷达	AEC-Q100 Grade 1	IATF1694 9/ISO9000 1, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 48MHz/72MHz 芯片内核数量 Cortex-M0+ x 1 PFLASH容量大小 64KB RAM容量大小 16KB 芯片耐受温度 (环境, 结) $T_j < 150^{\circ}\text{C}$ 输入输出IO数量 27 ADC模块数量 1*9*12bit DMA模块 1*12-ch 比较器模块 1*6bit SPI模块 1 IIC模块 1 CAN模块 1 CANFD模块 1 LIN模块 2 UART模块 (SCI) 3 产品工艺节点 55nm
11	杰发科技	AC17013PBT A	光线传感器, 空气质量监测模块, 等离子传感器	AEC-Q100 Grade 1	IATF1694 9/ISO9000 1, QM	工作电压 2.7V~5.5V 运行主频MHz (范围) 48MHz 芯片内核数量 Cortex-M0+ x 1 PFLASH容量大小 32KB RAM容量大小 8KB 芯片耐受温度 (环境, 结) $T_j < 150^{\circ}\text{C}$ 输入输出IO数量 16 ADC模块数量 1*8*12bit DMA模块 1*12-ch 比较器模块 1*6bit SPI模块 1 IIC模块 1 CAN模块 1 CANFD模块 1 LIN模块 2 UART模块 (SCI) 2 产品工艺节点 55nm

12	华大半导体	HC32A133G	前置位置	AEC-Q100 Grade 2		工作电压 1.8V~5.5V 运行主频MHz (范围) 48MHz 芯片内核数量 1 PFLASH容量大小 64KB DFLASH容量大小 可配置 RAM容量大小 8KB 芯片耐受温度 (环境, 结) $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 环境 ADC模块数量 1unit, 30ch ADC模块数量 1unit*2ch 比较器模块 2 SPI模块 2 IIC模块 2 UART模块 (SCI) 4 产品工艺节点 110nm 其它 LCD, OPA, DAC
13	华大半导体	HC32L1336	前置位置			工作电压 1.8V~5.5V 运行主频MHz (范围) 48MHz 芯片内核数量 1 PFLASH容量大小 64KB DFLASH容量大小 可配置 RAM容量大小 8KB 芯片耐受温度 (环境, 结) $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 环境 输入输出IO数量 56 ADC模块数量 1unit, 30ch ADC模块数量 1unit*2ch 比较器模块 2 SPI模块 2 IIC模块 2 UART模块 (SCI) 4 产品工艺节点 110nm 其它 LCD, OPA, DAC
14	华大半导体	HC32A460	空调, 门窗	AEC-Q100 Grade 2		工作电压 1.8V~3.6V 运行主频MHz (范围) 166MHz 芯片内核数量 1 PFLASH容量大小 512KB DFLASH容量大小 可配置 RAM容量大小 192KB 芯片耐受温度 (环境, 结) $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 环境 输入输出IO数量 83 ADC模块数量 2unit, 16ch ADC模块数量 2unit*4ch 比较器模块 3 SPI模块 4 IIC模块 3 CAN模块 1 UART模块 (SCI) 4 产品工艺节点 40nm 其它 USB, I2S, OTS
15	华大半导体	HC32FA0	空调, 门窗			工作电压 1.8V~3.6V 运行主频MHz (范围) 240MHz 芯片内核数量 1 PFLASH容量大小 2MB DFLASH容量大小 可配置 RAM容量大小 512KB 芯片耐受温度 (环境, 结) $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 环境 输入输出IO数量 142 ADC模块数量 3unit, 28ch ADC模块数量 2unit*8ch 比较器模块 4 SPI模块 6 IIC模块 6 CAN模块 2 CANFD模块 1 LIN模块 2 车载以太网模块 1 UART模块 (SCI) 10 产品工艺节点 40nm 其它 USB, VBAT, PGA, OTS
16	蓝盾创新	GD32E103X	BAVAS			工作电压 3.3V 运行主频MHz (范围) 120MHz 芯片内核数量 1 PFLASH容量大小 128KB RAM容量大小 32KB 芯片耐受温度 (环境, 结) $105^{\circ}\text{C}$ 输入输出IO数量 80 ADC模块数量 1 DMA模块 1 SPI模块 3 IIC模块 2 CAN模块 2 LIN模块 5 UART模块 (SCI) 5 产品工艺节点 55nm 特性 32ch timer, PWM, capture
17	上海琪博维	XL6600	车门, 车窗, 座椅, 空调, 尾灯, 雨刮器, 电球后视镜, BCM, 空调控制等; 智能方向盘, 智能按键, 智能加热系统	AEC-Q100, S170627048	ISO9001, 19818QA, 028R05P, PAP	工作电压 1.7V~5.5V 运行主频MHz (范围) 96 芯片内核数量 1 PFLASH容量大小 256KB RAM容量大小 24KB 芯片耐受温度 (环境, 结) $-55^{\circ}\text{C} \sim 150^{\circ}\text{C}$ (结) 输入输出IO数量 up to 68 ADC模块数量 1 DMA模块数量 4 比较器模块 2 SPI模块 2 IIC模块 2 CAN模块 1 CANFD模块 1 LIN模块 3 UART模块 (SCI) 3 产品工艺节点 0.130um
18	复旦微电子	FMC33LG0		AEC-Q100 Grade I		工作电压 1.65~5.5V 运行主频MHz (范围) max 64MHz 芯片内核数量 1 PFLASH容量大小 256KB RAM容量大小 32KB 芯片耐受温度 (环境, 结) $105^{\circ}\text{C}, 125^{\circ}\text{C}$ 输入输出IO数量 max 71 ADC模块数量 1 block, 20ch DMA模块数量 Y 比较器模块 3 SPI模块 3 IIC模块 1 CAN模块 1 UART模块 (SCI) 8 产品工艺节点 90nm 其它 DAC x1/Timer x8/RTC x1/LCD/AES/OPA





# 浙江省半导体行业协会

## 一、协会简介

浙江省半导体行业协会成立于2001年12月23日,是由浙江省内从事半导体领域(集成电路、半导体分立器件、LED、半导体材料及太阳能光伏、半导体装备和其它产业链配套等)教学、科研、设计、生产制造及推广应用服务、在省内外内具有一定知名度的企事业单位联合发起并由业内许多企事业单位自愿参加组织起来,不以赢利为目的、依法登记、具有独立法人资格的社会团体。

作为政府和企事业单位之间的桥梁与纽带,为浙江省内半导体行业服务,为广大的半导体企事业单位服务,协助政府部门做好行业管理的服务工作,推动浙江半导体产业又好又快发展。

## 二、服务内容

(一)行业咨询服务:接受会员单位上门、电话、网络即时通讯等多种方式的咨询服务;可为企业重大项目提供技术评估咨询、项目决策咨询等服务,必要时可提供专题报告;每年为会员单位提供《浙江省半导体行业发展报告》一份。

(二)行业交流服务:协助会员单位开展本地区、国内外同行业及相关行业之间的联系与交流活动,以研讨会、座谈会等多种形式广泛开展市场、技术、人才、专业等交流活动,拓展会员单位的服务空间。

(三)政府对接服务:协助企业向行业主管部门反映企业的意见和建议,做好企业与政府之间的桥梁角色;协助企业申报政府项目,享受国家优惠政策核查等服务工作,做好各类调研,必要时可为企业开具符合政府有关要求的情况说明(细分领域数据需由企业提供)。

(四)科技成果服务:促进会员单位科技成果与地方经济相结合,拓展产品市场和企业商机,谋求会员利益最大化。每年开展会员单位优秀产品的评选推荐活动;为会员单位提供产品供需对接信息,协助上下游产业资源互通。

(五)信息互享服务:与国内外同行业在产品技术、专业人才、市场经营等方面信息共享及开展业务合作,及时为会员单位提供国内外和浙江省产业发展动态和资讯,宣传、推广会员单位相关信息。

(六)行业培训服务:每年为会员举办年会暨高峰论坛,为会员单位提供高质量行业学习机会;根据会员单位的需求,不定期举办行业技术、人才、管理、政策、知识产权等方面的培训。

(七)展会和考察服务:提供会员单位行业相关的展会资讯,根据企业需求推荐参展或组织观展,以及参加产业与技术发展论坛,会员单位能享受一些展会布展优惠;根据需求组织会员单位进行国内外各种考察与展览活动,为企业开拓国内市场。

(八)投融资服务:协助企业进行项目落地投资服务,可为企业与招商地市协调方案,组织调研活动;协助企业与大基金、融资租赁等金融公司进行对接,为企业提供资金。

欢迎广大半导体企业加入协会!

联系人:萧璿

联系方式:17300929113 854852842@qq.com

地址:杭州市滨江区六和路368号海创基地北楼B4068





杭州国家集成电路设计产业化基地有限公司  
杭州国家集成电路设计企业孵化器有限公司

地址：杭州市滨江区六和路368号海创基地北楼四楼B4092室  
投稿：incub@hicc.org.cn  
官网：www.hicc.org.cn  
电话：86- 571- 86726360  
传真：86- 571- 86726367