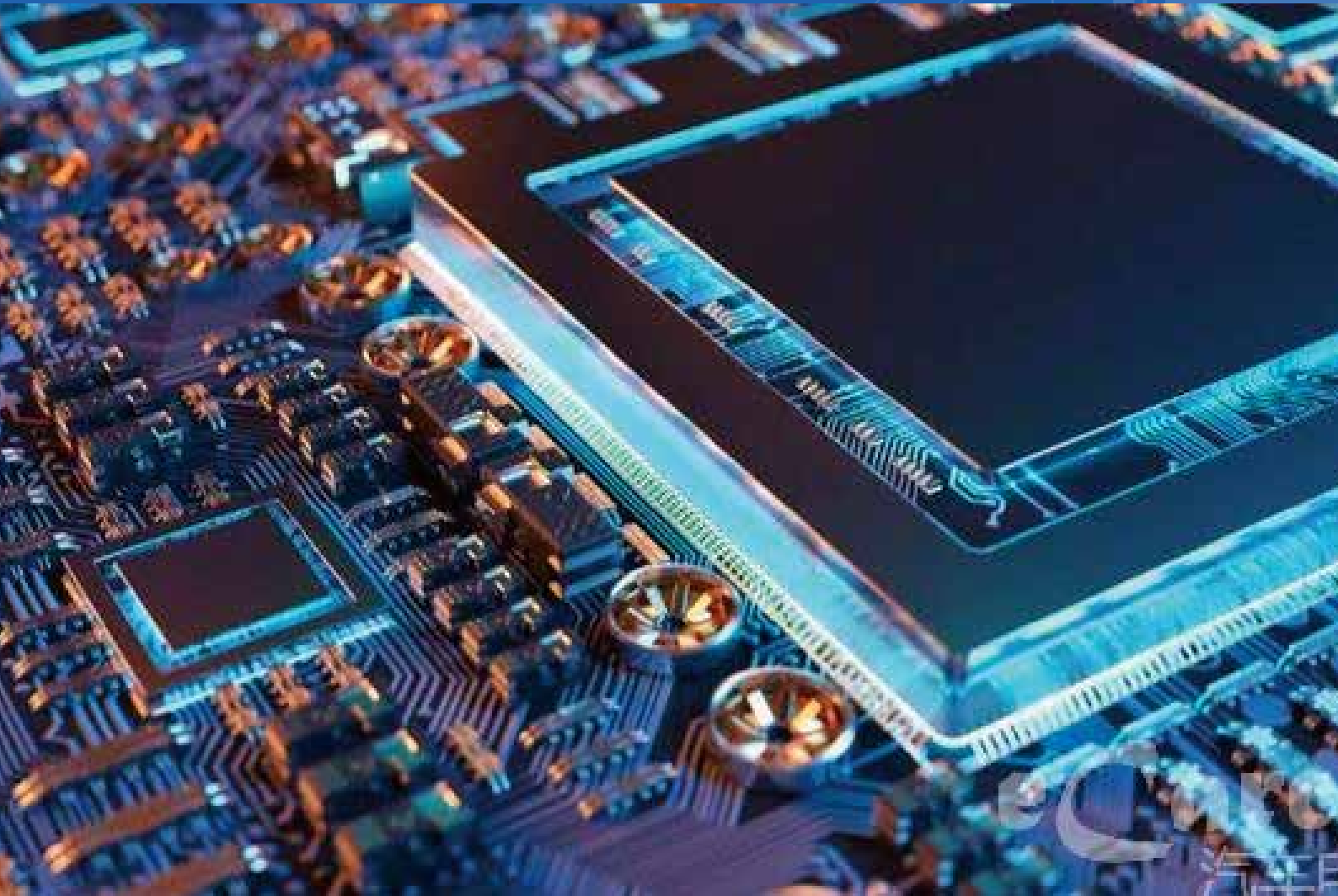


总第368期 | 2023/09月刊

天堂之芯

INTEGRATED CIRCUIT NEWS



国家“芯火”双创基地(平台)
国家集成电路设计杭州产业化基地|孵化器
浙江省集成电路设计与测试产业创新服务综合体
浙江省集成电路设计公共技术平台
浙江省半导体行业协会

杭州国家芯火双创基地

National Xinhuo Platform of Hangzhou for Innovation and Entrepreneurship



杭州国家集成电路设计产业化基地有限公司
杭州国家集成电路设计企业孵化器有限公司

引领芯发展 助力芯腾飞

杭州国家“芯火”双创基地(平台)是由国家工信部于2018年3月批复,依托杭州国家集成电路设计产业化基地建设的国家“芯火”平台。平台以产业共性需求为牵引,以公共技术服务为核心,充分整合产业链资源,推动形成“芯片-软件-整机-系统-信息服务”的生态体系,着力提升区域集成电路产业的核心竞争力,推进我国集成电路核心关键技术的自主创新,引导电子信息产业向价值链高端发展。

1 平台服务

公共技术平台

由EDA云平台、流片服务子平台、封装测试服务子平台、IP应用服务子平台、芯片应用解决方案子平台等组成。

人才培养平台

协同企业、高校、科研院所等优势资源,开展多层次人才培养、实训,多维度培养集成电路复合型人才。

咨询服务平台

与浙江省半导体行业协会密切协同,为地方各级政府和企业提供行业咨询、信息共享等服务。

整机联动平台

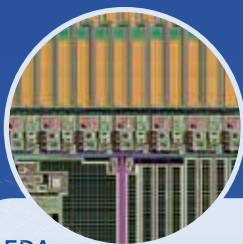
围绕集成电路上下游产业链,推动集成电路企业与系统整机企业供需对接,深化“政产学研用金”高效联动。

企业孵化平台

以“孵小、扶强、引外”为宗旨,搭建孵化空间,聚焦企业痛点、难点,提供专业精准服务。



公共技术服务



EDA

提供Siemens EDA、Synopsys、Cadence和华大九天等公司全流程的EDA软件服务。



流片

提供台积电、中芯国际、华虹宏力、华润上华、Global Foundries等流片一站式服务。



封测

提供集成电路测试程序开发、晶圆测试、成品测试、失效分析、芯片封装等服务。



IP

提供IP设计、验证、测试和SoC集成服务,支持企业进行SoC产业化和应用。

2 平台资质

国家集成电路设计杭州产业化基地

National Integrated Circuit Design Industrialization Base (Hangzhou)

中华人民共和国科学技术部

浙江省中小企业公共服务示范平台

Zhejiang Public Service Platform for Small and Medium-sized Enterprises

浙江省经济和信息化厅

浙江省集成电路设计公共技术平台

Zhejiang Public Technology Platform for Integrated Circuit Design

浙江省科技厅

浙江省集成电路产业技术创新联盟副理事长单位

Zhejiang Integrated Circuit Industry Technology Innovation Alliance Vice-Chairman Unit

浙江省集成电路产业协会

国家集成电路人才培养基地杭州培训中心

National Integrated Circuit Talent Training Base Hangzhou Training Center

中国科学院大学

面向半导体芯片领域的产业技术基础公共服务平台

Public Service Platform for Semiconductor Industry Technology

中国科学院杭州工业技术研究院

浙江省集成电路设计与测试产业创新服务综合体

Zhejiang Integrated Circuit Design and Test Industry Innovation Service Complex

浙江省科技厅

杭州国家芯火双创基地(平台)

Hangzhou National Xinhuo Platform for Innovation and Entrepreneurship

中华人民共和国工业和信息化部

> 目录 CONTENTS

◆ 芯动态

- 2023集成电路封装测试与创新应用技能提升高级研修班成功举办 - 01
- 杭州国家“芯火”双创基地（平台）成功举办EDA仿真解决方案研讨会 - 02

◆ 芯企业

- 中国芯：浙江省5家企业荣获奖项 - 03
- 中巨芯：成功在科创板挂牌上市 - 04
- 甬矽电子：集成电路IC芯片封测项目二期落成 - 05
- 晶通科技：完成数千万元A轮融资 - 05
- 哪吒汽车：与国创中心达成战略合作 - 06
- 广立微：净利大增40倍！本土EDA迎发展新机遇！ - 07
- 士兰微：拟与大基金二期等出资12亿元向士兰明镓增资 - 07
- 南大光电：两款ArF光刻胶进入批量验证阶段 - 08
- 启尔机电：获浸没式光刻发明专利授权 - 08
- 中国移动：发布国内首款商用可重构5G射频收发芯片 - 09
- 洛微科技：上线高性能D系列TOF相机D3 - 10
- 领芯微：发布高压应用领域新品 - 11

◆ 芯资讯

- 全球氧化镓产业发展概况及对我国的启示 - 12
- SIA：7月份全球半导体销售额环比增长2.3% - 12
- 2023上半年半导体设备厂商排名Top10 - 16
- 中国集成电路产业十年分析 - 17
- 中国首款自研车规级7nm芯片量产上车 - 19
- 浙江南浔发布泛半导体产业规划 - 23
- 三雄并立的MCU市场 - 23
- 汽车芯片，走到分岔口 - 25
- EUV光刻的现状和展望 - 30
- 光刻机各环节的国产化情况 - 39
- Chiplet迎来新突破 - 42
- Arm成功上市 - 47

◆ 芯政策

- 关于提高集成电路和工业母机企业研发费用加计扣除比例的公告 - 49
- 深圳市发布2024年芯片资助计 - 50

◆ 芯知识

- IC设计后端概述 - 54
- IGBT介绍及原理 - 58

◆ 芯伙伴

- 浙江省半导体行业协会 - 63

*免责声明：

《天堂之芯》杂志转载的文章内容系作者个人观点，仅为传达不同的观点，不代表本杂志对该观点的态度。

2023集成电路封装测试与创新应用技能提升高级研修班成功举办

8月16日-18日,由浙江省人力资源和社会保障厅主办,杭州汇智东方人力资源服务有限公司承办,浙江省半导体行业协会、杭州国家“芯火”双创基地(平台)、青山湖科技城工程师协同创新中心协办的2023集成电路封装测试与创新应用技能提升高级研修班在滨江海创基地正式开班,来自全国各地的集成电路企业的负责人、工程师、技术研发人员等产业从业人员共52人参加了本次高研班。



授课现场

在开班仪式上,浙江省半导体行业协会高级顾问陈光磊作开班致辞,并进行了题为《国内外及我省集成电路产业发展与我们的机遇》的授课,深刻讲解分析了当前集成电路产业的发展机遇与挑战。



浙江省半导体行业协会高级顾问陈光磊致辞

本次高研班为期3天,来自士兰微电子、芯云半导体、加速科技、杭科院等企业和院校的高管、技术负责人、教授作为讲师,为广大学员进行专业授课,同时本次课程也安排了学员实地参访杭州集成电路测试公共服务中心。



实地参观杭州集成电路测试公共服务中心

本期高研班有效地提升了集成电路封装与测试领域专业技术人员技能水平,同时为可持续发展的高素质、专业化人才队伍的建设打下了良好的基础,并为行业人才深度交流提供了互动平台,高效地促进了业内人才队伍良性循环。



颁发培训证书现场

(来源:杭州国家芯火)

杭州国家“芯火”双创基地（平台） 成功举办EDA仿真解决方案研讨会

9月12日，钱塘科技创新中心联合杭州国家“芯火”双创基地（平台）、芯和半导体科技（上海）股份有限公司成功举办EDA仿真解决方案研讨会。

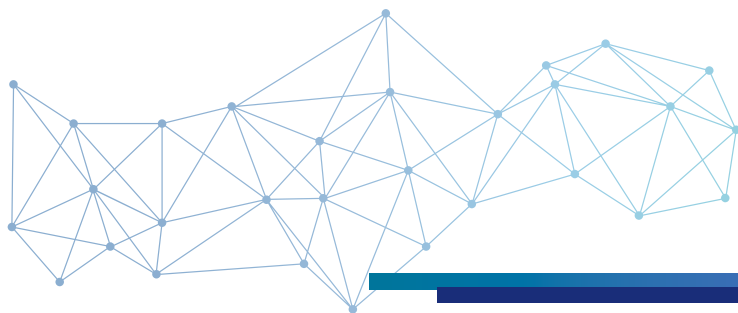
作为公益活动，研讨会旨在推动杭州EDA产学研联合发展，探讨最新EDA仿真技术趋势和解决方案，促进半导体行业实现自主可控。钱塘科技创新中心、芯和半导体、士兰集团、杰华特、杭州电子科技大学等17家单位近60名企业专家、工程师、高校教师、研究生代表参加研讨。



在研讨会上，芯和半导体技术总监苏周祥介绍了芯和EDA平台，强调了自主可控软件在行业中的重要性。四位技术专家分别做专项技术交流报告，介绍了3D IC先进封装仿真全流程EDA解决方案、射频系统仿真综合解决方案、高速数字系统SI/PI综合解决方案和高频三维电磁场仿真工具。参会代表积极提出问题并展开讨论，为深入探讨EDA仿真解决方案的工业界实际应用和发展提供了宝贵的机会。

杭州国家“芯火”双创基地（平台）围绕集成电路产业链上下游，以产业需求为导向，搭建企业交流互动平台，集聚优势创新资源，为企业提供专业的公共技术服务，助力企业发展壮大，助力集成电路产业高质量发展。

（来源：杭州国家芯火）



中国芯：浙江省5家企业荣获奖项



9月20日下午，2023琴珠澳集成电路产业促进峰会暨第十八届“中国芯”颁奖仪式在广东珠海隆重举行，本次大会发布了2023年第十八届“中国芯”优秀产品征集结果，浙江省共有5家企业荣获第十八届“中国芯”奖项，具体情况如下（以下排名不分先后）：

优秀技术创新产品奖

矽力杰半导体技术(杭州)有限公司

车规级同步降压稳压芯片/SA244XX

杰华特微电子股份有限公司

16V 50A 车规智能功率级/JWHQ7065



芯火新锐产品奖

杭州智芯科微电子科技有限公司

AT680系列

杭州联芯通半导体有限公司

Homeplug GreenPHY通讯芯片/
MSE1021+MSEX24-i、MSE1022+MSEX25-i

杭州云合智网技术有限公司

高性能以太网交换芯片/CLX85系列



“中国芯”优秀产品征集活动是国内集成电路领域最具影响力和权威性的行业活动之一，旨在展示我国集成电路领域的产品创新、技术创新和应用创新成果。第十八届“中国芯”设置了“年度重大创新突破产品”“优秀市场表现产品”“优秀技术创新产品”“跨界造芯优秀产品”“芯火新锐产品”和“优秀服务支撑企业”六大奖项。

中巨芯：成功在科创板挂牌上市

9月8日，国家集成电路产业投资基金和巨化股份重点投资布局的电子化学材料骨干企业-中巨芯科技股份有限公司（简称中巨芯）成功在上海证券交易所科创板挂牌上市。



股票名称为“中巨芯”，证券代码“688549”。“成功登陆科创板，意味着公司驶入了借助资本市场实现高速发展的快车道。”中巨芯董事、总经理陈刚表示。

中巨芯从脱胎巨化到成功上市仅历时6年，成为衢州市上市速度最快、募资规模最大的企业。据介绍，这既是衢州推进“工业强市”战略、实施企业上市3030行动的标志性成果，也是省属国企助推衢州发展的优秀范例。

2017年12月，按照国务院国资委国企改革的总体要求，在省国资委、巨化集团的大力支持下，由巨化股份、国家集成电路产业投资基金（简称“国家大基金”）、衢州市政府引导基金等战略投资者共同创立中巨芯，以期实现“产业基础、国家战略、产业资源”三要素的最优化整合。



自成立以来，中巨芯坚持面向国家半导体行业的重大战略需求，聚焦集成电路制造用电子化学材料产业，是国内少数拥有电子湿化学品、电子特种气体以及前驱体材料研发与生产能力的企业之一。

经过近6年的发展，中巨芯不断投入研发力量，持续构筑和强化产品技术壁垒，承担了一系列国家级、省级重大科研项目，曾先后荣获第四届集成电路产业技术创新奖（简称“IC创新奖”）、中国化工学会科技进步奖一等奖、“第四届中国新型显示产业链发展贡献奖——创新突破奖”、2021年度浙江省重点首批次新材料集成电路材料创新联盟五星产品证书等多项殊荣。凭借良好的产品品质与优质的服务水平，中巨芯产品已稳定进入SK海力士、中芯国际、长江存储、华虹集团、中芯集成、厦门联芯、德州仪器、华润微、士兰微、立昂微、河北普兴、上海晶盟、京东方、华星光电、惠科等主流客户的供应体系。

早在2018年，电子湿化学品全球市场规模约52.65亿美元，集成电路、显示面板、光伏等下游三大市场应用量达300余万吨。

据悉，本次募集资金投资项目“中巨芯年产19.6万吨超纯电子化学品项目”建成后将形成年产19.6万吨超纯电子化学品的生产能力。中巨芯负责人表示，公司将继续专注电子化学材料产业，通过内生式和外延式增长，实现高质量发展，努力成长为国内电子化学材料领军企业，致力于成为全球半导体材料企业。

（来源：衢州发布）

甬矽电子：集成电路IC芯片封测项目二期落成

2023年9月7日，甬矽电子(宁波)股份有限公司(以下简称“甬矽电子”)集成电路IC芯片封测项目二期落成大典在宁波余姚隆重举行。

甬矽电子二期项目正式落成，标志着甬矽电子发展迈入新的台阶，将成为甬矽电子在集成电路封测领域追求自主创新与技术升级的新引擎。



资料显示，甬矽二期项目总占地500亩，一阶段完成建设300亩，总投资111亿，满产将达到年产130亿颗芯片。二期产品线会和一期相辅相成，既有成熟封装QFN产品线，广泛用于汽车电子与工控产品的QFP产品线，应用于网络服务器、CPU处理器、AI智能产品上的大颗FCBGA产品线，还有代表先进封装发展方向Bumping、WLCSP、Fan-In/Out产品线等。

甬矽电子董事长王顺波用“快、全、省”三个字概况甬矽二期项目的优势：“快”代表一站式服务，有足够的产能通道，有规模效应，整体交付快；“全”代表所有先进封装测试所需技术全面；“省”代表省管理，省成本，特别是倒装类的产品，没有中间环节运营。

(来源：半导体之窗)

晶通科技：完成数千万元A轮融资

杭州晶通科技有限公司(以下简称「晶通科技」)完成数千万元A轮融资，本轮融资由水木梧桐创投、天虫资本、春阳资本共同参与，独木资本任公司长期独家融资顾问。

资金将重点用于晶圆级扇外型(Fan-out)和Chiplet产品研发、厂房设备、市场扩展等。公司的二期产线同步寻求地方落地中。

晶通科技成立于2018年，是以晶圆级扇外型(Fan-out)先进封装技术为平台的Chiplet integration方案商，为客户提供从系统集成的设计仿真到晶圆级中道封测的一站式解决方案。其主要产品类型包括单芯片Fan-out封装、多芯片Fan-out SIP集成封装、Fan-out POP堆叠封装、多芯片Fan-out混合封装等。

封装场景适用于超高密度封装的大算力芯片(GPU、FPGA)和手机AP、中高密度扇出封装(手环手表、AR/VR、医疗及军工等消费电子SOC)，以及低密度的封装(PMIC、WIFI、BB及毫米波等的单芯片扇出、多芯片FoSiP扇出)。

晶通科技创始人蒋振雷表示，目前消费电子产品向便携式小型化、高性能、低功耗、高频率信号方向发展，传统的封装方式已不能满足后续主流芯片的需求。

与此同时，随着摩尔定律接近瓶颈，Chiplet作为应对摩尔定律放缓而演进出的更高级的系统级封装，通过把原有的单芯片拆解成不同节点的小芯片并封装集成，解决了芯片向更高制程发展时存在的成本效能低的问题。而Fan-out作为先进封装中最领先、应用最广泛的技术之一，也是Chiplet集成方案重要的平台基础。

具体而言，Fan-out的优势包括：

- (1) 扇出型的RDL布线精度和封装集成度大大优于采用基板或框架等方式的传统封装；
- (2) 相较于倒装封装，扇出型封装无需昂贵的载板，物料成本更低；
- (3) 扇出型封装芯片更小更薄并拥有更好的电气属性，能够提供更好的散热性；
- (4) 可进行单芯片、多芯片、2D/3D/PoP等多种结构与方式的封装，其封装灵活性和适用场景更加广泛；
- (5) 可以整合硅桥及substrate，实现超高精度布线的混合封装，用于下一代Chiplet和HPC的产品应用。

目前，先进封装领域有以台积电、英特尔为代表的IDM厂商，也有安靠、日月光在内的专注封装的厂商，国内的数家封测厂近几年也通过并购小厂的方式补充了一定的Fan-out能力。

蒋振雷表示，晶通科技的竞争优势首先在于，公司技术能力上可以2到5微米区间，而行业大部分公司的先进封装精度集中在10-20微米区间。此外，晶通科技还有着很深的工程经验积累，已经成功解决了扇出型封装在翘曲、位移、重构晶圆、超高密度等方面的难度挑战，在Fan-out和Chiplet领域布局完整专利。

而在技术完备的前提下，晶通科技的量产落地速度迅速，公司一期产线坐落于江苏省高邮市，于2023年1月正式通线，同年8月迅速实现批量量产，年产能超12万片。

团队方面，晶通科技的核心团队均来自应用材料、格罗方德、日月光、安靠等全球顶尖大厂，在应用材料和国际先进封装研发中心有着十年以上的默契合作，曾主导完成我国首个扇出型02专项，也是国内最早布局和研究chiplet的团队之一。

(来源:36氪Pro)

哪吒汽车： 与国创中心达成战略合作

9月18日，哪吒汽车与国家新能源汽车技术创新中心(简称:国创中心)签署战略合作协议，双方合作共建的整车联合试验室、车规级芯片测试认证联合试验室、数字化场景试验室正式揭牌。

同时，国创中心将在整车效能、芯片测试、电驱动、电子电气等关键核心技术领域，为哪吒汽车提供相应测试与能效提升服务。

未来，双方还将联合开展政府课题/项目申报和前瞻性技术的预判、开发、评价、应用等方面的合作，并依托双方丰富的专家及技术储备资源，为哪吒汽车的技术创新全面赋能，加速落地“科技平权”，推动我国新能源汽车技术迭代创新，迎来高质量发展的新时代。



(来源:SEMI)

广立微：净利大增40倍！本土EDA迎发展新机遇！

8月6日广立微高开高走，股价曾一度涨至90.5元/股，截至午盘股价上涨7.94%到86.09元/股，领跑半导体板块。广立微发布上半年业绩报告给股民打了一针“强心剂”。

值得注意，广立微从8月25日开始，股价节节攀升，8天内股价上涨约43%。

上半年在半导体行业，150家上市公司中有108家净利润出现负增长，尤其是以汇顶科技、韦尔股份为代表的消费电子概念股净利润同比跌幅居前。在其他半导体企业业绩集体下滑，EDA行业的广立微却表现亮眼。

上半年广立微业绩快速增长，营业收入1.27亿元，较上年同期增长63.91%；取得归母净利润2284万元，较上年同期增长近40倍。

	本报告期	上年同期		本报告期比上年同期
		调整前	调整后	增减
营业收入（元）	127,375,347.97	77,708,339.00	77,708,339.00	63.91%
归属于上市公司股东的净利润（元）	22,843,129.29	575,283.49	570,564.06	3,903.60%
归属于上市公司股东的扣除非经常性损益的净利润（元）	16,237,911.30	-7,143,740.98	-7,148,460.41	327.15%
经营活动产生的现金流量净额（元）	-187,643,045.03	71,529,417.38	71,529,417.38	-362.33%
基本每股收益（元/股）	0.1142	0.0038	0.0038	2,905.26%
稀释每股收益（元/股）	0.1142	0.0038	0.0038	2,905.26%
加权平均净资产收益率	0.72%	0.16%	0.16%	0.56%

EDA是用于辅助完成超大规模集成电路芯片设计、制造、封装、测试整个流程的计算机软件。广立微是国内领先的集成电路EDA软件和晶圆级电性测试设备供应商，提供EDA软件、电路IP、WAT测试设备以及芯片成品率提升技术相结合的全流程解决方案。据了解，广立微先进的解决方案已成功应用于180nm-4nm工艺技术节点。

上半年，广立微软件开发及授权业务收入为3242万元，同比增长16.16%；测试服务及其他业务收入为16.80万元，同比增长174.51%。广立微主要向外销售T4000、T4000D、T4100S这三种型号的WAT测试机。在WAT测试设备领域，广立微打破了Keysight长久垄断，实现了国产替代。

（来源：芯榜）

士兰微：拟与大基金二期等出资12亿元向士兰明镓增资

士兰微8月28日发布公告称，公司拟与关联人国家集成电路产业投资基金二期股份有限公司（以下简称“大基金二期”）、非关联人厦门海创发展基金合伙企业（有限合伙）（筹）（以下简称“海创发展基金”）以货币方式共同出资12亿元认缴关联参股公司厦门士兰明镓化合物半导体有限公司（以下简称“士兰明镓”），本次新增注册资本11.9亿元。

公告显示，本次增资完成后，士兰微将取得士兰明

镓的控制权，此次增资旨在加快“SiC功率器件生产线建设项目”的推进。

据悉，士兰明镓于2022年7月启动了“SiC功率器件生产线建设项目”。本项目计划投资15亿元，计划建设一条6吋SiC功率器件芯片生产线，最终形成年产14.4万片6吋SiC功率器件芯片的产能，其中SiC-MOSFET芯片12万片/年、SiC-SBD芯片2.4万片/年。

（来源：SEMI）

南大光电：两款ArF光刻胶进入批量验证阶段

9月8日，南大光电发布投资者交流纪要表示，2022年下半年以来，LCD、IC市场呈现周期性回调，行业竞争加剧，作为公司重要业绩来源的三氟化氮产品自去年四季度开始量价双降。目前，从国内面板厂的稼动率来看，下游需求未出现明显回升迹象。



南大光电称，面对激烈的市场竞争，公司充分发挥协同效应，利用高品质、好服务、低成本的优势，在巩固存量市场份额的同时，通过提高产品品质和渠道建设，加速全球IC客户的渗透和海外OLED市场的开拓，提升增量空间，努力保持三氟化氮业务的平稳增长。

对于市场关注较高的ArF光刻胶进展，南大光电称，ArF光刻胶验证阶段主要分为PRS（光刻胶性能测试）、STR（小试）、MSTR（批量验证）及Release（通过验证）四个阶段。公司已有两款胶通过客户验证，多款胶正在验证过程中。验证中的ArF光刻胶因开始时间不一，验证进度也不同，其中有两款胶进入MSTR阶段。当前公司光刻胶事业部主要任务是尽快完成更多产品的验证，加强市场拓展，争取早日实现规模量产，形成业绩贡献。

南大光电还表示，公司用于生产ArF光刻胶的核心原材料，由公司自主研发，对于国内具备供应能力的原材料，通过外购解决。

（来源：集微网）

启尔机电：获浸没式光刻发明专利授权

集微网消息，浙江启尔机电技术有限公司日前获得“一种光刻方法”发明专利授权，授权日期2023-09-12，预估到期日2040-12-25。

摘要内容显示，本发明涉及一种光刻方法。本发明提供携带集成电路图案信息的激光束，使激光束穿过投影物镜后投射在具有多个曝光靶区的衬底上，激光束投射的目标区域为投影区；提供折射率大于空气的浸没液体，完全填充投影物镜与衬底之间的激光束经过的空间，形成浸没流场，浸没流场具有流场边界。本发明使浸没流场与尾迹中可能存在的残留液滴接触并融合，实现对尾迹中残留液滴的清扫和消除，从而降低残留液滴对衬底的污染风险，同时允许在曝光过程中使用更高的最大扫描速度，甚至可以采用高于弯液面破裂临界速度的最大扫描速度；有利于提高光刻机的产率和/或减少曝光缺陷的数量。

（来源：爱集微）

中国移动：发布国内首款商用可重构5G射频收发芯片

8月30日，中国移动正式发布国内首款可重构5G射频收发芯片“破风8676”。该芯片可广泛商业应用于云基站、皮基站、家庭基站等5G网络核心设备。这项核心自主创新成果实现了从零到一的关键性突破，填补了该领域的国内空白，有效提升了我国5G网络核心设备的自主可控度。



射频收发芯片是无线电波和数字信号之间的翻译官，是5G网络设备中的关键器件，研发难度高，产业应用需求迫切，被称为5G基站上的“明珠”。中国移动勇担移动信息现代产业链“链长”重任，于2021年成立芯片研发企业联合实验室，开展“破风8676”可重构5G射频收发芯片研发，贯穿芯片规格定义、前后端设计、仿真验证、性能调测和整机集成全流程。

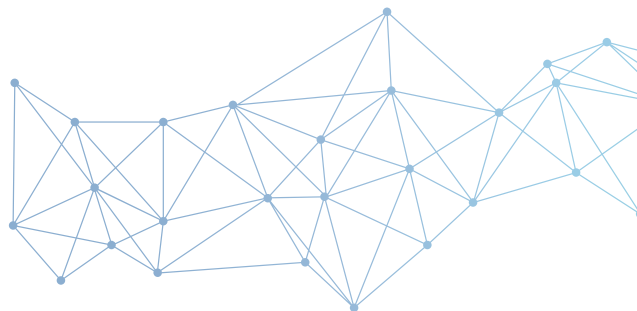


据介绍，中国移动充分发挥运营商对网络和设备深度理解优势，基于自研业界领先的系统射频双级联动仿真平台，“量体裁衣”制定芯片规格指标，为芯片的规模化应用奠定了重要基础。为适配多频段、多模式、多站型的应用需求，中国移动研究院相关团队创新性提出可重构技术架构，支持信号带宽、杂散抑制频点和深度等重要规格参数灵活匹配，数字预失真、削峰等模块算法灵活调整，基带成型滤波、均衡滤波等增量功能灵活加载，利用这些架构优化和功能重组，以系统集成创新弥补单点性能瓶颈，打造了一款达到国际先进水平，同时具备低成本、低功耗、多功能等差异化竞争优势的产品。“破风8676”芯片目前已在多家头部合作伙伴的整机设备中成功集成，将在以云基站、皮基站、家庭站等网络设备为代表的下阶段5G低成本、高可控度的商用网络建设中发挥重要作用。

在“破风8676”芯片研发中，中国移动充分发挥运营商的龙头研发牵引作用和网络技术积累优势，与设备商和芯片设计公司携手，通过网络和设备需求前置，将传统的芯片设计、整机集成、网络应用的串行研发模式升级为并行模式，使从芯片到整机适配的时间缩短近一半；破解了应用方“不想用、不敢用”的核心产业难题，大幅提升了关键短板芯片攻关的有效性；加速整机集成和网络应用迭代，形成一套“选芯、研芯、用芯”闭环攻关体系。

（来源：人民邮电报）

企业概况



洛微科技：上线高性能D系列TOF相机D3

9月22日，洛微科技对外发布新款高性能D系列 TOF相机D3，这是一款专为工业环境中高性能操作设计的3D TOF智能相机。

D3基于行业领先的Sony DepthSense®像素技术开发，具有毫米级测量精度、VGA深度分辨率、抗环境光能力强、软/硬件多触发方式、HDR适配多种复杂场景等特性，结合独有的点云过滤以及图像处理算法，实时输出IR、点云、深度的数据信息。



本次洛微科技发布的D3紧凑小巧，集成度高，配备标准千兆以太网工业接口，安装和使用十分方便。产品分有两种型号：LWP-D301和LWP-D302，主要在供电接口、网络接口及防护等级上有所区分。D系列TOF相机D3符合工业级防水防尘要求，稳定安全可靠，是实现远距离非接触测量、动态场景的流量计数、3D建模、3D识别等应用的上佳选择，可广泛应用于工业自动化如叉车AGV、物流科技及移动机器人等行业。

D系列TOF相机D3主要规格参数如下：

产品型号	LWP-D301	LWP-D302
尺寸 (Lx W x H)	76mmx 63.5mm x 76mm	
重量	385g	411g
工作距离	0.4~5m	
测距精度	< 1%	
视场角 (Hx V)	70°x 50°	
分辨率	640x 480 dpi	
工作温度	-20°C~ 50°C	
功耗	<10W	
网络接口	RJ45千兆以太网口	8 pin * M12 X-code
电源接口	DC 12~24V	8 pin * M12 A-code
防护等级	IP42	IP67
人眼安全	Class 1	

(来源：洛微科技LuminWave)

领芯微：发布高压应用领域新品

高压应用创新，三路独立半桥驱动集成——领芯微高压应用领域再添家族新成员：LCP037CC32EU8。它为高压应用带来了全新的可能性。



引领高压应用的创新

一直以来，高压应用便是电子工程领域的高难度挑战，无论何种高压应用场景，都需要处理器具备卓越的性能和灵活性。而LCP037CC32EU8 处理器的亮点在于集成了三路独立半桥驱动，为高压应用带来了更多的可能。

LCP037CC32EU8 不仅仅是一款MCU，它还具备集成三路独立半桥驱动的强大功能。这意味着它可以同时控制三个独立的高压半桥电路，为高压应用提供了前所未有的效率和广度。

提供极致空间管理

在高压应用中，电路板空间的宝贵不言而喻。LCP037CC32EU8 处理器的紧凑封装和高度集成化设计让它成为板载解决方案的首选。它不仅性能卓越，还可以轻松地融入有限的板载空间中，为有限的设计空间带来了更大的灵活度。

定制化的功率管理

为了满足不同高压应用的需求，LCP037CC32EU8 处理器允许客户根据项目需求自由选择和搭配功率器件。它的预驱模块支持高达 600V 的工作电压范围，为项目的成功提供了更多可能性。

LCP037CC32EU8 处理器是高压应用领域的新生力量，它不仅具备卓越的性能、灵活性和可靠性，还集成了三路独立半桥驱动，为高压应用的未来创造了无限可能。

(来源：领芯微电子)

1—8月份集成电路设计收入同比增长5%

工信部最新统计数据显示,1—8月份,我国软件和信息技术服务业(以下简称“软件业”)运行态势平稳,软件业务收入保持较快增长,利润总额保持两位数增长,软件业务出口小幅回落。

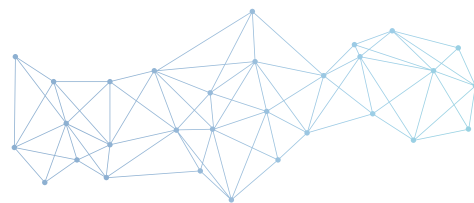
具体而言,软件业务收入保持较快增长。1—8月份,我国软件业务收入75178亿元,同比增长13.5%。利润总额保持两位数增长。1—8月份,软件业利润总额8628亿元,同比增长13.9%。软件业务出口小幅回落。1—8月份,软件业务出口319.3亿美元,同比下降4.5%,其中,软件外包服务出口同比增长3.4%。

分领域看,软件产品收入保持两位数增长。1—8月份,软件产品收入17437亿元,同比增长10.8%,占全行业收入的比重为23.2%。其中,工业软件产品收入1704亿元,同比增长12.5%。

信息技术服务收入较快增长。1—8月份,信息技术服务收入50116亿元,同比增长14.8%,在全行业收入中占比为66.7%。其中,云计算、大数据服务共实现收入7532亿元,同比增长15.7%,占信息技术服务收入的比重为15%;集成电路设计收入1994亿元,同比增长5%;电子商务平台技术服务收入6981亿元,同比增长9%。

信息安全收入稳步增长。1—8月份,信息安全产品和服务收入1211亿元,同比增长10%。嵌入式系统软件收入平稳增长。1—8月份,嵌入式系统软件收入6413亿元,同比增长11.7%。

(来源:中国电子报)



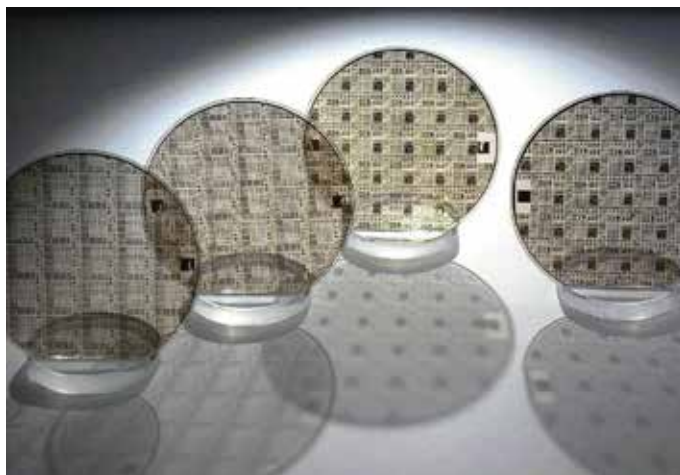
全球氧化镓产业发展概况及对我国的启示

随着新能源汽车、5G通信、光伏、储能等领域的发展,以及国际技术竞争日趋激烈,宽禁带半导体已经成为世界上最具发展潜力的战略产业之一。可以看到氧化镓相比碳化硅、氮化镓具有更宽的禁带宽度(约4.9eV禁带宽度),以及具有8MV/cm的理论临界击穿场强,是一种新兴的超宽禁带半导体材料,可用于制备功率器件、微波射频器件以及日盲紫外探测器等半导体器件,在高压电力控制、射频通信和火焰探测等领域具有重大应用价值,已成为国际科技战略必争高地。本文研究了全球氧化镓产业发展现状,剖析了产业发展面临的机遇和挑战,并提出了对我国发展氧化镓产业的几点启示。

前言

宽禁带半导体往往具备高的击穿场强、高的电子饱和速度和强的抗辐射等特性,在全球半导体产业博弈加剧的背景下,近年来持续受到产业界的高度关注。宽禁带半导体材料主要以氮化镓(GaN)、碳化硅

(SiC)、氧化锌(ZnO)、氧化镓(Ga₂O₃)和金刚石等材料为代表。其中,氧化镓作为新一代半导体材料,作为低损失性指标的巴利加优值(3444)远大于 SiC(340)和 GaN(870),因此采用氧化镓制备的器件有望具备更小尺寸、更低成本以及更低器件损耗等特性,未来有望在功率半导体领域发挥重要作用。在我国传统产业加速向数字化、智能化、绿色化转型升级的过程中,氧化镓作为半导体产业发展的一股新驱动力,若产业关键共性技术取得重要突破,必将与氮化镓和碳化硅一样,深度融入到全球宽禁带半导体发展的浪潮中,未来有望在新能源、工控、变频家电、数据中心、5G、IoT 等领域加速渗透。



1. 发展现状

1.1 从区域发展格局看,受氧化镓自身优势和市场前景驱动,日美等多国正加紧研发与布局

(1) 日本已在衬底—外延—器件等产业链环节具备全球领先能力,如日本 NCT 和 FLOSFIA 两家公司引领着日本氧化镓产业发展。其中,NCT 公司目前已实现 2 英寸、4 英寸的衬底及外延的批量化供应,2022 年 7 月宣布计划 2025 年每年生产 2 万片 4 英寸晶圆。另外,FLOSFIA 公司采用喷雾化学气相沉积法已成功制备具有全球最小导通电阻的肖特基二极管,已在日本电装上试用,预计 2023 年将为汽车零部件制造商提供每月数十万的生产能力。

(2) 美国已基本形成氧化镓产业链各环节的研究基础。如美国空军研究室已制备出一种抗高压的增强型氧化镓 MOSFET。美国能源部先进能源研究计划署主要资助的 Kyma Technologies 公司亦可提供氧化镓衬底及外延片的供应。

(3) 其它国家如德国的 Leibniz 晶体生长研究所、法国 Saint-Gobai 公司等机构均已加入氧化镓材料器件开发中。我国氧化镓发展以科研单位研究为主,在宽禁带半导体的发展浪潮下,涌现出一些初创企业,但产业化进展缓慢。

1.2 从技术发展路径看,导模法为制备 β -氧化镓衬底的主要技术方案,无铍法有望成为新选择

氧化镓产业链包括衬底制备、外延层生长、器件研制以及下游应用环节。当前衬底制备是产业技术发展亟需攻克的核心难点和产业链价值最高的环节。衬底制备主要表现在衬底晶型和工艺方案两方面:①在衬底晶型生长方面,氧化镓具有 α 、 β 、 γ 、 ϵ 和 δ 五种同分异构体, β -氧化镓为最稳定的相。②在衬底长晶工艺方面, β -氧化镓单晶衬底可通过基于包括浮动区、导模法和直拉法等多种熔体方法生长,其中导模法是传统直拉法的一种延伸和补充,具备近尺寸生长、异形晶体生长、生长速度快以及加工成本低等优点,已成为业界生长 β -氧化镓的主流技术方案。

近年来,日本东北大学联合初创企业 C&A 公司以及我国进化半导体公司均已提出熔融的无铍技术方案,无铍技术无需使用昂贵的铍坩埚,将显著降低材料制备成本,且材料生长效率显著提高,无铍熔体法未来有望成为制备氧化镓衬底新的技术路径。

1.3 从产业链环节看，镓下游应用广泛，中国上游镓储量在全球占据绝对优势地位

目前镓在发光器件、微波通信、新型显示等领域应用广泛，未来有望在集成电路领域有较大应用前景，正成为电子工业的新粮食。如氮化镓(GaN)和铟氮化镓(InGaN)已成为LED成熟的技术解决方案。GaN在手机快充、5G通信等方面亦具有广阔应用前景。砷化镓(GaAs)作为第二代半导体材料的代表已在高频、高速、高温及抗辐照等微波器件和高速数字电路中中得到重要应用。得益于迁移率高、均匀性好等优势，铟镓锌氧(IGZO)氧化物半导体近年来在大尺寸面板的应用加速渗透。此外，用IGZO作为有源层制备的场效应晶体管(FET)在集成电路后道工序(IC-BEOL)、常关CPU(晶体管阈值电压为正，为增强型器件)、DRAM/NAND和FPGA等各种大规模集成电路(LSI)领域有较大应用潜力。作为伴生矿产，镓在地壳中的含量为 $5 \times 10^{-4}\%$ ~ $1.5 \times 10^{-3}\%$ ，为典型的稀散元素。据统计，当前全球镓的总储量为23万吨，中国以占比8成以上成为全球金属镓的最大生产国，主要供应美国、欧盟、日本和韩国等经济体。

2.面临的机遇与挑战

2.1 产业发展面临的机遇

2.1.1 功率器件不遵循摩尔定律演进，为产业发展带来长时间窗口机遇

集成电路器件在制造工艺层面的发展主要包括尺寸依赖的先进工艺和非尺寸依赖的特色工艺两大方向。在纵向的先进工艺中，器件特征尺寸的缩小、工作电压的降低以及开关频率的提高等成为业界追求目标。在横向的特色工艺中，器件结构的多样化，芯片在不同场景下如何承受高电压、输出高电流、提高电路线性特征和降低噪声等特征参数成为主要发展方向。氧化镓未来主要应用在肖特基二极管、功率MOSFET等功率半导体领域，属于特色工艺制造，对材料质量、制备工艺及器件结构强依赖，对晶体管沟道长度无明显微缩要求，一般使用0.18-0.5 μm 制程，器件演进无需追赶摩尔定律给氧化镓发展带来长时间窗口机遇。

2.1.2 氧化镓高性能和低成本优势叠加，为产业发展带来赶超新机遇

(1)从材料器件性能角度看，氧化镓禁带宽度约为4.9eV，理论击穿场强为8MV/cm，氧化镓的更宽禁带可承受比硅、碳化硅、氮化镓更强的电场，对功率器件抗高压和小体积带来显著竞争优势。

(2)从材料器件成本角度看，在原材料环节，氧化镓粉末价格约为2000-3000元/千克，碳化硅高纯粉达上万元/千克。在单晶衬底制备环节，氧化镓单晶衬底生长周期普遍比碳化硅短，国际领先企业生产氧化镓的效率比碳化硅普遍大2倍。若无铟熔体法技术获得成功应用，生长效率将大幅提升。在器件环节，据测算，氧化镓器件若实现大规模量产后，从同样基于6英寸衬底的器件成本构成来看，基于氧化镓材料的器件成本约为8000元，约为碳化硅器件成本的1/4。

2.1.3 碳达峰碳中和战略稳步推进，为产业发展带来历史性机遇

与碳化硅相比，氧化镓在原材料加工、衬底外延以及器件工作环节上具备显著节能优势。

(1)原材料加工层面，氧化镓粉末相比碳化硅粉末制备流程简单，碳化硅粉末对纯度要求高，提纯难度大，将进一步增加耗能。

(2)衬底材料生长层面，据简单测算，在良率为理想情况下，常用的导模法生长一片4英寸氧化镓衬底约消耗100kW.h电能，而物理气相传输法(PVT)生长一片4英寸碳化硅则至少需要300kW.h电能，且碳化硅硬度大导致晶锭在切磨抛过程中消耗的电能更大。

(3)器件工作层面，氧化镓器件的导通特性是碳化硅的十倍，且开关损耗是碳化硅的一半，带来氧化镓器件更低的导通损耗和更高的功率转换效率。氧化镓将成为全球推动制造业绿色低碳转型的重要利器。

2.2 产业发展面临的挑战

2.2.1 受产业发展初期限制，技术发展仍需实现关键难点突破

全球近年来虽有企业布局氧化镓，但从技术成熟度、应用规模化以及外围生态方面来讲，仍处于产业发

展初期,关键核心技术仍需进一步突破。主要技术难点如下:

(1)在衬底生长方面:一是常用的导模法生长 β -氧化镓熔点达 1820°C ,高温生长过程中极易产生大量氧空位,进而造成孪晶、镶嵌结构、螺旋位错等缺陷[7]。二是高温下分解生成的 $\text{Ga}(\text{g})$ 、 $\text{GaO}(\text{g})$ 、 $\text{GaO}_2(\text{g})$ 以及 $\text{O}_2(\text{g})$ 等物质会严重腐蚀铟坩埚[8]。材料外延方面,受氧化镓背景载流子浓度高影响,对氧化镓的n型掺杂进行精准调控存在困难。

(2)在器件工作方面:一是氧化镓热导率仅为碳化硅的十分之一,硅的五分之一,低的热导率导致器件工作时产生大量热量停留,将极大地限制器件寿命[1]。二是氧化镓薄膜的p型掺杂存在困难,给形成双极型和CMOS器件带来挑战。

2.2.2 受材料体系供给多样影响,高功率器件未来将面临激烈竞争

当前,功率半导体向更宽禁带演进的趋势愈加明显,未来高功率器件将出现硅基、碳化硅以及氧化镓相互竞存的发展局面。竞争分析如下:

一是硅基IGBT带来的竞争。由于绝缘栅双极型晶体管(IGBT)兼具金属-氧化物半导体场效应晶体管(MOSFET)的高输入阻抗和BJT的低导通压降的优点,近年来在新能源汽车、光伏逆变、储能等下游应用市场带动下,IGBT需求旺盛。据BrainyInsights预测,全球IGBT市场预计将从2021年的72亿美元增长到2030年的179亿美元。

二是碳化硅器件加速渗透带来的竞争。由于具备高耐压、低损耗以及高的开关性能等特点,碳化硅正加速渗透到新能源汽车以及光伏发电等领域。据Grand View Research预测,2030年全球碳化硅器件市场规模将达到79.8亿美元。

三是氧化镓将在未来功率半导体市场崭露头角。据富士经济预测,2030年氧化镓功率器件市场规模将达到15亿美元。

2.2.3 受未来价值进一步提升作用,领先国家对氧化镓管控趋严

氧化镓具备抗高压、强的压电系数以及抗辐照等特性,在高压电力控制、移动通信射频和火焰探测(例如导弹尾焰)等场景具备重要应用价值。为此,近年来领先国家加强了管控:

(1)日本经济产业省(METI)不断修订其出口管制的“最终用户名单”,给后发追赶国家采购日企氧化镓衬底及外延片带来阻碍。

(2)2021年12月,瓦森纳协定(WA)发布修改后的管制清单,在半导体基板、高阻率材料衬底以及衬底外延层三个物项中,新增氧化镓和金刚石。

(3)2022年8月,美国商务部工业与安全局(BIS)对氧化镓技术实施新的出口管制。以上管制动作将为后发追赶者实现氧化镓产业高质量发展和高水平安全良性互动带来较大冲击。

3. 启示

3.1 设立专项资金,加速产业关键环节技术突破

一是政府可加大对关键技术研究的资金支持,在国内外招募优秀的研发团队和人才,瞄准氧化镓产业链中衬底制备和外延环节,重点突破氧化镓衬底“无铟法”制备技术、氧化镓抛光研磨技术和氢化物气相外延(HVPE)设备开发。二是政府应支持有条件企业或机构开展试验线建设。利用“赛马”机制,力争5年内时间筛选并扶持1-2家能够实现氧化镓衬底量产的“先锋”企业。

3.2 培育下游应用,壮大氧化镓半导体产业生态

一是国家层面出台氧化镓规划性政策,调动重点企业、高校院所、产业服务机构、行业协会、产业联盟、国家金融机构、社会资本等全社会资源要素力量,提高半导体氧化镓产业发展新动能。

二是以市场为导向、企业为主体,打造“政产学研资”紧密合作的创新生态,支持行业重点企业联合高等

院校、科研院所和行业上下游企业共建制造业创新中心，承担国家重大科技项目，加速孵化氧化镓下游应用企业。

3.3 强化风险意识

把握氧化镓产业发展主动权一是加大对氧化镓供应链关键节点布局力度，引导国内优势企业承担设备及零部件、材料及原材料、设计工具、检测设备、厂务设施等环节研制任务。二是推动国内企业或机构实施氧化镓知识产权全球布局，主动设置壁垒，形成多套商业秘密和专利“组合拳”，提高我国氧化镓供应链各环节话语权。

氧化镓相比碳化硅和氮化镓具有更高的禁带宽度，该材料在高功率、低损耗半导体器件制备方面具有巨大优势，未来在航空航天、5G 通讯、新能源汽车、轨道交通、高端装备、智能电网等众多领域具有巨大潜在的应用，市场前景广阔，且采用氧化镓材料制备的功率器件将在促进我国产业结构升级、节能减排等领域发挥关键作用。政府及我国重点企业、高校院所、产业服务机构、国家金融机构、社会资本等全社会资源要素力量应紧密协同，为我国宽禁带半导体产业实现前沿技术引领和功率半导体等重点领域做大做强尽快注入更大发展新动能。

(来源：晟光硅研)

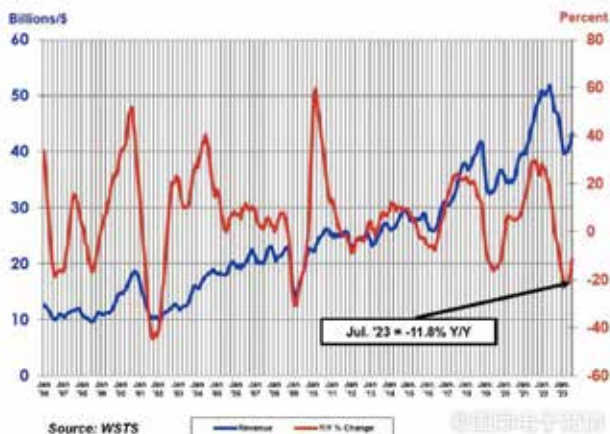
全球碳化硅产能大战一触即发

SIA公布了7月全球半导体行业销售额。据SIA统计，2023年7月全球半导体行业销售额总计432亿美元，比2023年6月的422亿美元总额增长2.3%，但比2022年7月的总额490亿美元，减少11.8%。

时间及以后的前景感到乐观提供了理由。”

从地区来看，美洲、中国、欧洲和亚太其他地区的月度销售额有所增长，环比分别增长6.3%、2.6%、0.5%、0.3%；但日本环比下降1.0%。同比增长上，仅有欧洲同比增长5.9%，但日本、美洲、亚太其他地区和中国，分别下降了4.3%、7.1%、16.2%、18.7%。

Worldwide Semiconductor Revenues
Year-to-Year Percent Change



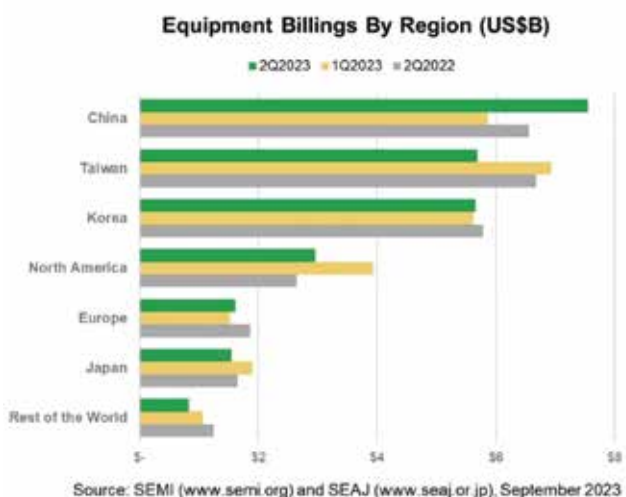
SIA 总裁兼首席执行官 John Neuffer 表示：“今年全球半导体市场经历了温和但稳定的月度增长，7 月份的销售额连续第四个月增长。与去年相比，全球销售额仍然下降，但 7 月份的同比降幅是今年迄今为止的最小差距，这为我们对 2023 年剩余

July 2023			
Billions			
Month-to-Month Sales			
Market	Last Month	Current Month	% Change
Americas	10.35	11.00	6.3%
Europe	4.71	4.73	0.5%
Japan	3.97	3.93	-1.0%
China	12.42	12.74	2.6%
Asia Pacific/All Other	10.79	10.82	0.3%
Total	42.23	43.22	2.3%
Year-to-Year Sales			
Market	Last Year	Current Month	% Change
Americas	11.84	11.00	-7.1%
Europe	4.47	4.73	5.9%
Japan	4.11	3.93	-4.3%
China	15.67	12.74	-18.7%
Asia Pacific/All Other	12.91	10.82	-16.2%
Total	49.00	43.22	-11.8%
Three-Month-Moving Average Sales			
Market	Apr/May/June	May/June/July	% Change
Americas	10.35	11.00	6.3%
Europe	4.71	4.73	0.5%
Japan	3.97	3.93	-1.0%
China	12.42	12.74	2.6%
Asia Pacific/All Other	10.79	10.82	0.3%
Total	42.23	43.22	2.3%

SEMI: 第二季度全球半导体设备销售额同比下降2%

SEMI 在其全球报告中宣布, 2023 年第二季度全球半导体设备销售额同比下降 2%, 至 258 亿美元, 环比下降 4%。

SEMI 总裁兼首席执行官 Ajit Manocha 表示: “尽管 2023 年上半年宏观经济继续存在不确定性, 但对资本设备的总体需求仍然强劲。报告期内, 一些半导体细分市场在资本设备投资方面持谨慎态度, 尽管各地区的影响各不相同。”



按地区划分, 中国大陆第二季度出货75.5亿美元, 较2022年第二季度65.6亿美元增长15%; 中国台湾出货56.9亿美元, 较去年同期66.8亿美元下滑15%; 韩国位列第三, 半导体设备在第二季度出货56.5亿美元, 较去年同期57.8亿美元下滑2%; 北美出货29.5亿美元, 较去年同期26.4亿美元增长12%。

Region	2Q 2023	1Q 2023	2Q 2022	2Q (QoQ)	2Q (YoY)
China	\$7.55	\$5.86	\$6.56	29%	15%
Taiwan	\$5.69	\$6.93	\$6.68	-18%	-15%
Korea	\$5.65	\$5.62	\$5.78	1%	-2%
North America	\$2.95	\$3.93	\$2.64	-25%	12%
Europe	\$1.61	\$1.52	\$1.86	6%	-13%
Japan	\$1.54	\$1.90	\$1.65	-19%	-7%
Rest of the World	\$0.83	\$1.06	\$1.25	-22%	-34%
Total	\$25.81	\$26.81	\$26.43	-4%	-2%

Sources: SEMI (www.semi.org) and SEAJ (www.seaj.or.jp), September 2023
Note: Summed subtotals may not equal the total due to rounding.

对于全球半导体设备未来的预期, SEMI全球营销长暨中国台湾区总裁曹世纶近日表示, 今年全球半导体设备总销售额将由去年的1074亿美元下滑18.6%至874亿美元, 并预测将于2024年出现反弹, 再次回到1000亿美元水平。

(来源: 半导体产业纵横)

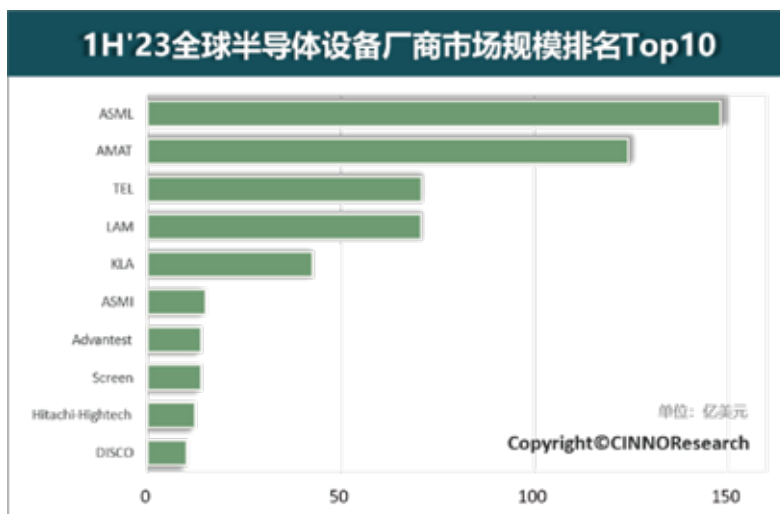
2023上半年半导体设备厂商排名Top10

CINNO Research统计数据表明, 1H'23全球半导体设备厂商市场规模Top10营收合计达522亿美元, 同比增长8%, 环比下降6%。

1H'23全球半导体设备厂商市场规模排名Top10与2022年的Top10设备商相比, 泰瑞达(Teradyne)排名跌出Top10, 迪斯科(Disco)取而代之, 排名第十。

荷兰公司阿斯麦(ASML) 1H'23营收超148亿美元, 超过美国公司应用材

料(AMAT), 排名Top1; 美国公司应用材料(AMAT) 1H'23营收约124亿美元, 排名第二; 日本公司Tokyo Electron (TEL) 超过美国公司泛林(LAM) 排名第三; 美国公司泛林(LAM) 和科磊(KLA) 分别排名第四和第五; 从营收金额来看, 1H'23前五大设备商的半导体业务的营收加总已超过457亿美元, 占比Top10营收合计的87%。



Top 1 阿斯麦 (ASML) - 荷兰

全球第一大光刻机设备商，同时也是全球唯一可提供7nm及以下先进制程的EUV光刻机设备商。

根据ASML公布了2023财年二季度财报，公司23Q2净销售额为69亿欧元，同比增加27%，环比增加2%，接近此前给出的指引（65至70亿欧元）上限，主要是由于该季度额外的沉浸式DUV收入比预期的要多。其中，收入按设备类型划分，ASML二季度来自ArFi设备（浸没式DUV光刻设备）的营收占比为49%，环比增加19%；EUV设备的营收占比为37%，环比减少17%。

销量按设备类型划分，ASML二季度EUV设备销售了12台（环比减少了5台）；ArFi设备销量为39台（环比增长了14台），显著提升。收入按地区来看，ASML二季度来自中国台湾的销售收入占比为34%，环比减少15%；来自中国大陆的销售收入占比为24%，环比增加16%；来自美国的销售收入占比为10%，环比减少5%。

1H'23半导体业务营收同比增长54.7%，2022年ASML主要由于Fast shipment，需要客户完成工厂验证才能确认营收，延迟至2023年营收开始增长。

Top 2 应用材料 (AMAT) - 美国

全球最大的半导体设备商，行业内的“半导体设备超市”，半导体业务几乎可贯穿整个半导体工艺制程，半导体产品包含薄膜沉积（CVD、PVD 等）、离子注入、刻蚀、快速热处理、化学机械平整（CMP）、测量检测等设备。1H'23半导体业务营收同比增长5.4%。

今年8月份，应用材料公布了截至2023年7月30日的季度业绩。报告显示，应用材料上季度营收64.3亿美元，同比下降1%，营业利润18.0亿美元。

Top 3 Tokyo Electron (TEL) - 日本

日本最大的半导体设备商，主营业务包含半导体和平板显示制造设备，半导体产品包含涂胶显像设备、热处理设备、干法刻蚀设备、化学气相沉积设备、湿法清洗设备及测试设备。1H'23半导体业务营收同比下降9.0%。

Top 4 泛林 (LAM) - 美国

泛林又称拉姆研究，主营半导体制造用刻蚀设备、薄膜沉积设备以及清洗等设备。1H'23半导体业务营收同比下降18.6%。

泛林公布2023 会计年度第四季（截至2023 年6 月25 日为止）财报：营收季减17% 至32.1 亿美元，非依照一般公认会计原则（Non-GAAP）每股稀释盈余季减14% 至5.98 美元。泛林研发指出，中国大陆、中国台湾、韩国、日本、美国、欧洲、东南亚分别占第四季营收的26%、20%、24%、10%、8%、8%、4%。

Top 5 科磊 (KLA) - 美国

半导体工艺制程检测测量设备的绝对龙头企业，半导体产品包含缺陷检测、膜厚量测、CD量测、套准精度量测等量检测设备。1H'23半导体业务营收同比下降1.5%。

科磊公布2023 会计年度第四季（截至2023 年6 月30 日为止）财报：营收年减5 %（季减3%）至23.55 亿美元，非一般公认会计原则（Non-GAAP）每股稀释盈余年减7.1%（季减1.6%）至5.40 美元。

Top 6 ASM国际 (ASMI) - 荷兰

主营业务包括半导体前道用沉积设备，产品包含薄膜沉积及扩散氧化设备。1H'23半导体业务营收同比增长29.5%。

Top 7 爱德万测试 (Advantest) - 日本

主营半导体测试和机电一体化系统测试系统及相关设备，半导体产品包含后道测试机和分选机。1H'23半导体业务营收同比增长2.0%。

爱德万测试今年4月至6月季度的营业利润下降68%至143亿日元(约合1.018亿美元),其强调了智能手机市场的疲软和数据中心投资的放缓,但预计明年将出现复苏。

Top 8 迪恩士(Screen)-日本

主营业务包含半导体、平板显示和印刷电路板制造设备,半导体产品包含刻蚀、涂胶显影和清洗等设备。1H'23半导体业务营收同比增长0.9%。

Top 9 日立高新(Hitachi High-Tech)-日本

主营半导体设备、电子显微镜、FPD设备及医疗分析设备等,半导体产品包含沉积、刻蚀、检测设备以及封装贴片设备等。1H'23半导体业务营收预估同比下降0.7%。

Top 10 迪斯科(Disco)-日本

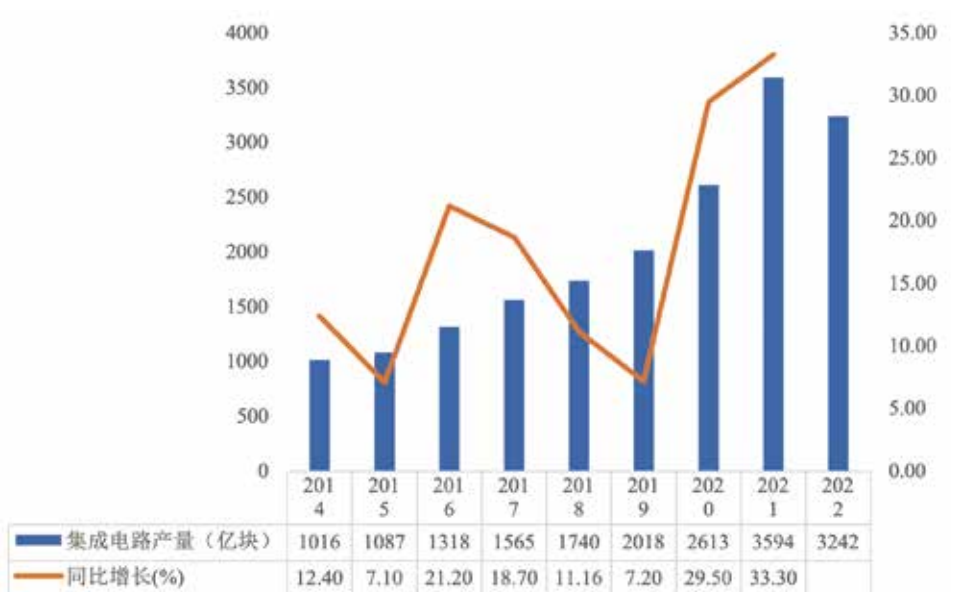
全球领先的晶圆切割设备商,主营半导体制程用各类精密切割,研磨和抛光设备。1H'23半导体业务营收同比下降1.5%。

(来源:半导体产业纵横)

中国集成电路产业十年分析

1、中国集成电路近十年产量

根据国家统计局公布数据显示,2014年中国集成电路产量1015.53亿块,同比增长12.4%;2015年中国集成电路产量1087.2亿块,同比增长7.1%;2016年中国集成电路产量1317.95亿块,同比增长21.2%;2017年中国集成电路产量1564.6亿块,同比增长18.7%;2018年中国集成电路产量1739.5亿块,同比增长11.16%。



2019年中国集成电路产量2018.2亿块,同比增长7.2%;2020年中国集成电路产量2612.6亿块,同比增长29.5%;2021年中国集成电路产量3594亿块,同比增长33.3%;2022年中国集成电路产量3241.9亿块,同比增长-9.8%;2023年7月集成电路当月产量为292亿块,同比增长4.1%,1—7月累计产量1912亿块,同比增长-3.9%。

可以看到,自2014年以来,中国的集成电路产量一直在快速增加。2014到2018年,智能手机处于快速渗透期,受下游智能手机、TWS等消费类电子需求旺盛的驱动,全球半导体市场蓬勃发展。

随后在2019年以智能手机为代表的智能终端市场景气度下滑，全球半导体周期向下，因此当年的集成电路产量同比增长数额只有7.2%，不过随着5G终端规模不断扩大，数据中心需求增加，以及AIoT等智能化场景逐步拓展及汽车电子不断渗透，叠加疫情背景下对远程办公、居家娱乐等需求增加，全球半导体产业规模上行。2020年中国集成电路产量达2613亿块，同比增长率接近30%，2021年中国集成电路产量达3594亿块，同比增长率达33%。

2021年与2014年相比，中国集成电路产量已实现三倍增长，可以看到中国集成电路全产业链正在实现跨越式发展，中国也正在从高度依赖进口的模式逐渐改善，这一点从中国集成电路历年来的进出口额数据变化中也可窥见一二。

2、中国集成电路近十年进出口情况

年份	进口集成电路数量（亿块）	同比增长（%）	进口金额（亿美元）	进口集成电路数量（亿块）	同比增长（%）	出口金额（亿美元）
2014	2857	7.3	2184	1535	7.6	610.9
2015	3140	9.0	2307	1828	19.1	693.1
2016	3423	10.0	2271	1823	0.03	613.8
2017	3770	10.1	2601.4	2044	13.1	668.8
2018	4176	10.8	3120.8	2171	6.2	926.4
2019	4451	6.6	3055.5	2185	0.7	1015.8
2020	5435	19.4	3490.8	2598	18.8	1066.0
2021	6355	16.9	4325.5	3107	19.6	1537.9
2022	5384	-15.3	4156	2734	-12.0	1539.0
2023上半年	2277	-18.5	1626.1	1276	-10.0	634.2

随根据海关数据统计，2014年中国进口集成电路2857亿块，同比增长7.3%；进口金额2184亿美元，同比下降6.9%。出口集成电路1535.2亿块，同比增长7.6%；出口金额610.9亿美元，同比下降31.4%。

2021年中国集成电路进出口额均创下历史新高。根据海关数据统计，2021年中国进口集成电路6355亿块，同比增长16.9%；进口金额4326亿美元，同比增长23.6%。中国集成电路出口3107亿块，同比增长19.6%；出口金额1538亿美元，同比增长32%。

从海关总署公布的进出口细分数据来看（处理器、控制器、存储器、放大器、其他集成电路和集成电路零件），2022年处理器及控制器进口金额2051亿美元，占比49.2%，同比增长2.7%；存储器进口金额1013亿美元，占比24.3%，同比下降7.1%。处理器及控制器贸易逆差1528亿美元，存储器贸易逆差310亿美元。

处理器及控制器以及存储器的进口金额过高意味着中国大陆是整机的最主要生产组装地，但核心芯片却严重依赖海外进口。而中国台湾、韩国是中国集成电路进口主要来源地，2021年在两地分别进口1558.7亿美元和881.9亿美元，同比增幅分别为25.8%和28.4%，合计占比为56.4%。过去十年间，这一比重以年均约1个百分点的速度持续提升。从进口产品结构看，自中国台湾进口以处理器为主，韩国则侧重于存储器。

由于广东地区拥有大量的电子组装厂，所以进口的半导体器件最多（超过三分之一）。其次需求最大的是江苏、上海和四川。这四个省份包揽了绝大多数进口半导体器件的消耗。

通过将2021年与2014年的数据对比发现，2021年中国集成电路进口量达6355亿块，超过2014年的两倍，出口量4326亿块，同样两倍于2014年。中国集成电路需求量增大的同时也意味着中国集成电路产业正在经历高速发展。

3、2021年—强盛与衰退的分水岭

2021年中国集成电路产量、进出口量均创历史新高的原因主要有三点：

第一，地缘政治的紧张以及国际供应关系的不稳定倒逼中国集成电路产业加速国产化进程，中国厂商加足马力生产与扩产。再加上2020年受疫情影响，芯片短缺日趋严重，导致众多本土厂商开始囤货，直接拉高集成电路进出口金额。

第二，在全球持续缺芯情况下，集成电路产量长期处于供不应求的状态，芯片价格上涨，进而导致进口金额也随之上涨。此外，汽车芯片的激增也是一重要影响因素。在传统工业制造领域，芯片每年产量的增长基本维持在5%~7%之间。从2019年下半年到2020年年中开始，新能源汽车和智能汽车在市场走红，芯片市场需求每年的增幅达到了大约20%。这样的高速增长让汽车芯片市场出现了大约10%的产能短缺。这些数据都直接拉高了2021年中国集成电路行业的各类指标。

第三，随着数字基础设施不断完善，5G、人工智能、物联网等新兴产业快速发展，也带动了芯片需求量的上升。

年份	集成电路产业 销售额（亿元）	同比增长 （%）	细分产业	细分产业销 售额（亿元）	同比增幅 （%）
2014	3015.4	20.2	设计	1047.4	29.5
			制造	712.1	18.5
			封装测试	1255.9	14.3
2015	3609.8	19.7	设计	1325	26.5
			制造	900.8	26.5
			封装测试	1385	10.2
2016	4335.5	20.1	设计	1644.3	24.1
			制造	1126.9	25.1
			封装测试	1546.3	13.0
2017	5411.3	24.8	设计	2073.5	26.1
			制造	1448.1	28.5
			封装测试	1889.7	20.8
2018	6352.0	20.7	设计	2519.3	21.5
			制造	1818.2	25.6
			封装测试	2193.9	16.1
2019	7562.3	15.8	设计	3063.5	21.6
			制造	2149.2	18.2
			封装测试	2349.2	7.1
2020	8848	17.0	设计	3778.4	23.3
			制造	2560.1	19.1
			封装测试	2509.5	6.8
2021	10458	18.2	设计	4519	19.6
			制造	3176.3	24.1
			封装测试	2763	10.1

受前几年供需错配、“缺芯”涨价、疫情期间用户对消费电子超前消费等多因素影响，全行业的库存在2022年达到历史高位，随后进入快速去库存阶段。对应的中国集成电路产量与进出口量均出现不同程度的下滑。

4、设计、制造业高速发展

从始至今，中国一直在努力加快本土集成电路产业发展的步伐，不管是设计水平的提高还是设备国产化的突破；不管是通过新技术的研发还是产能的扩充；不管是存储产品的突破还是模拟产品品类的丰富，都可以体现中国集成电路产业的进步。

这些在中国集成电路各细分产业销售增长情况中都可窥见一二。

根据中国半导体行业协会统计，2014年中国集成电路产业销售额为3015.4亿元，同比增长20.2%。其中，设计业增速最快，销售额为1047.4亿元，同比增长29.5%；制造业受到西安三星投产影响，2014年增长率达到了18.5%，销售额达712.1亿元；封装测试业销售额1255.9亿元，同比增长14.3%。

随后在2018年，中国集成电路产业销售额达到2014年的两倍以上，2021年中国集成电路产业销售额更是超过2014年的三倍。就细分产业销售情况来看，集成电路设计和制造均保持快速的增长率，在2021年之前，中国集成电路设计增长率常年保持在20%以上，2015年到2018年中国集成电路制造增长率均超过25%。封测产业作为中国的优势产业，市场规模也在持续向上突破。

可见，中国半导体产业尽管面临技术和地缘政治的双重挑战和巨大压力，但高速增长的市场规模依然为中国半导体产业结构的升级优化提供了重要机遇。根据工信部介绍，近十年集成电路产业的复合增长率为19%，是全球增速的3倍。

5、中国十年来取得的突破

中国集成电路在技术创新上不断取得突破，制造工艺、封装技术、关键设备材料都有大幅提升。

先看中国集成电路设备的进步。根据中国本土晶圆厂设备采购数据进行统计，结果显示，截至6月，去胶设备国产化率达到90%以上，代表厂商是屹唐半导体；清洗设备国产化率约为58%，代表厂商是盛美、北方华创和至纯科技；刻蚀设备国产化率约为44%，代表厂商是中微公司、北方华创和屹唐半导体；CMP设备国产化率为32%，代表厂商是华海清科；热处理设备国产化率约为25%，代表厂商是北方华创和屹唐半导体；CVD设备国产化率为29%，代表厂商是北方华创和拓荆科技；PVD设备国产化率为10%；涂胶显影设备国产化率为29%，代表厂商是芯源微；离子注入机国产化率为7%，代表厂商是万业企业（凯世通）；量测设备国产化率为4%，代表厂商是精测电子。此外，28nm制程光刻设备也实现了零的突破。

再看集成电路制造。芯片制造是中国大陆的薄弱环节，特别是在先进制程（10nm以下）方面，鲜有能进入市场的量产芯片。近两年，中国本土晶圆厂也在努力攻克技术难关，争取补齐本土高端芯片制造能力不足的短板。

2022年也有一些有关本土高端芯片制造的好消息传出。2022年9月上海市委外宣办、上海市政府新闻办宣布了上海市集成电路产业最新进展：聚焦“全链发展+芯机联动”，先进工艺产能、核心芯片能级、关键设备和基础材料配套支撑能力不断提升，14纳米先进工艺规模实现量产，90纳米光刻机、5纳米刻蚀机、12英寸大硅片、国产CPU、5G芯片等实现突破。

最后看集成电路设计，从全球产业生态来看，中国芯片设计业的整体影响力偏低，两端受制于人、处于产业链和生态位的从属地位。不过就是在这样的背景下，2022年中国集成电路设计业在疫情不断反复的情况下仍然取得了16.5%的增长。从销售额过亿元的企业增长情况来看，2022年预计有566家企业的销售超过1亿元人民币，比2021年的413家增加135家，增长37.0%。从产品端来看，国内技术能力大幅提高，处理器（CPU）、现场可编程门阵列（FPGA）、通信系统级芯片（SOC）等取得突破。

中国半导体行业协会集成电路分会理事长、中国集成电路创新联盟副理事长兼秘书长、国家科技重大专项02专项技术总师叶甜春提供了一则数据：2008年至2022年集成电路设计业销售额增长13.2倍、制造业销售额增长9.8倍、装备业销售额增长30.8倍、集成电路材料业增长8.5倍。2022年，国内14家代表设备厂商营业收入已超过300亿元，预计总体增速达36%。高速的增长自然也反映出中国集成电路的努力与成就。

6、结语

随着政府、资本、企业组织等对集成电路产业的重视和支持，芯片产业正步入快速发展阶段。根据《中国制造2025》的规划，至2025年，我国集成电路市场规模要达到1734-2445亿美元，占全球市场的43.35%-45.64%。尽管面对重重压力，但是中国集成电路产业已经形成共识，下定决心要培养“系统-芯片-工艺-装备-材料”协同创新发展的良性生态。中国要发展集成电路，各产业链要携手共进，扬长避短，做好长期博弈的准备。

（来源：半导体产业纵横）

浙江南浔发布泛半导体产业规划

9月16日，浙江湖州市南浔区发布《湖州市南浔区泛半导体新材料产业发展规划》，长三角泛半导体新材料产业园揭牌成立。

根据《湖州市南浔区泛半导体新材料产业发展规划》，南浔将积极导入长三角核心城市关键资源，重点布局半导体涉化材料、封测产业、新型显示、面向上海的芯片设计服务及检验检测，差异化发展半导体、光电显示、光伏面板及动力电池四大领域高端材料产业，力争到2025年，泛半导体新材料产业规模突破50亿元。

长三角泛半导体新材料产业园位于南浔区菱湖镇省级化工园区内，南临杭州、东邻上海，规划总面积近万亩，目前已纳入省级化工园区1600多亩，定位为专业化特色园区。眼下，该产业园已全面实现“五通一平”，配备了工业邻里中心、集中供热站、化工园区数字化平台等配套设施，并就近为园区企业提供近1200套单身公寓，可实现人才“一站式”拎包入住。

南浔区相关负责人介绍，南浔拥有菱湖省级化工园区，为半导体及光电耗材企业集聚提供良好空间，同时统筹安排了区级80亿元产业基金，对入园企业在安全、节能、环保、管理、人才、金融等方面给予全力支持。未来将聚焦湖州市“八大新兴产业链”，以大基金、大平台、大政策为抓手，加快构建泛半导体新材料产业“四梁八柱”，全力打造长三角泛半导体新材料产业园。

作为该产业园首个项目，宁波微芯新材半导体材料生产基地项目于近期正式签约，项目投产后，将形成年产千吨电子级光刻胶原材料（光刻胶树脂、高等级单体等核心材料）的能力。

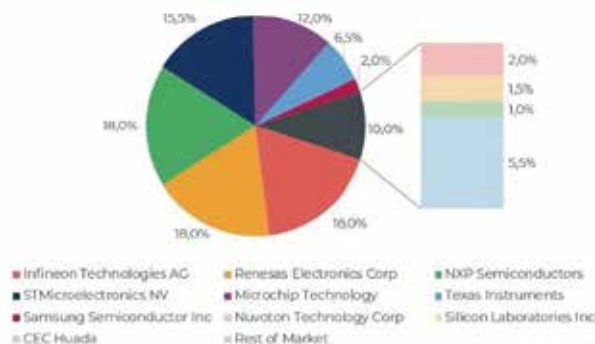
（来源：集微网）

三雄并立的MCU市场

微控制器（Microcontroller Unit, MCU）是一种集成了中央处理器、内存、输入输出接口和定时器等多项功能的微型计算机芯片。自上世纪70年代问世以来，MCU技术在各个领域取得了巨大的成功，并在当今数字化时代扮演着至关重要的角色。令人惊讶的是，尽管微控制器只是一个小小的芯片，却占据了处理器市场80%以上的份额！随着全球各地的半导体企业都参与到MCU技术的研发和生产中，MCU市场呈现出多样化和激烈竞争的局面。

1、MCU市场格局：三雄并立

2022 top ten overall MCU revenue Share
(Source: Manufacturer (MCU) Global Market Q1 2023, IHS Intelligence, June 2023)



根据Yole最新对全球MCU市场的数据分析,在整个MCU市场中,2022年排名前十的玩家分别是英飞凌、瑞萨、恩智浦、意法半导体、Microchip、德州仪器、三星电子、新唐科技、Silicon Labs和广大半导体。前十大MCU供应商中,仅有一家大陆厂商入围。罗姆和东芝跌出前十。

MCU市场竞争激烈,三家巨头并立:

英飞凌、瑞萨和恩智浦三家公司在市场占比上并列前三,每家占据18%的份额。近年来,英飞凌通过收购Cypress,恩智浦通过收购飞思卡尔,实现了重大的并购和合并。而在2021年,恩智浦占据了18.8%的MCU市场份额,瑞萨占据了17%,而英飞凌仅为11.8%。不得不说,英飞凌收购赛普拉斯之后,进一步加强了其在MCU市场的地位。

紧随其后的是意法半导体和Microchip,它们分别占据了15.5%和12%的市场份额。如果再加上排名第六的德州仪器的6.5%份额,这六家厂商合计占据了全球81.5%的市场份额。这六家MCU巨头稳握市场蛋糕,彰显了它们在全球市场的霸主地位!

意法半导体以其广泛的产品组合而闻名,其STM32系列MCU芯片在行业内市场占有率很高。而Microchip则在2021年市占率下滑较多,从第二位下降到第五位。Microchip的MCU产品主要以8位为主,但自从2016年收购Atmel后,他们扩展了32位MCU产品线。

众所周知,三星在存储、手机SoC和晶圆代工领域有着显赫的地位,但在MCU领域,三星的市场份额相对较小,仅占据了2.8%。尽管三星在其他领域表现出色,但在MCU市场上仍然面临着竞争压力。

除了这些大厂商外,还有数百家小型MCU公司在市场上角逐。这些公司往往专注于特定的应用领域或市场细分,提供定制化的解决方案。虽然它们的市场份额较小,但在整个MCU市场中起到了重要的补充和创新的作用。

近年来,国内MCU厂商在国产替代的大趋势下迅速崛起。由于供应链安全和国产替代的需求增加,国内部分客户对使用国产MCU的意愿不断增

强。因此,国内MCU厂商在低端小家电和消费电子等领域找到了切入点,并逐渐实现了一定的国产替代。然而,从市场份额来看,国产MCU仍有很长的发展路程,未来的国产替代空间仍然巨大。

总体而言,MCU市场竞争激烈,大厂商占据了大部分市场份额,而小型MCU公司和国内厂商则在不同的领域发展壮大。随着物联网和智能化的快速发展,MCU市场将继续保持活跃,各家厂商将不断努力创新和提升竞争力。

2、价格便宜,功能强大,MCU久经不衰



MCU技术起源于20世纪70年代,当时由于集成度有限和工艺不成熟,MCU只能满足简单的控制任务。然而,随着半导体技术的快速发展,MCU的集成度逐渐提高,成本降低,功能也变得更加强大。最近,ST推出了价格与8位MCU相当但性能更高的32位高性能MCU。如今,在智能家居、工业自动化、物联网和汽车电子等领域,MCU有着广泛的应用。因此,单一下游行业需求的波动对MCU的影响较小。

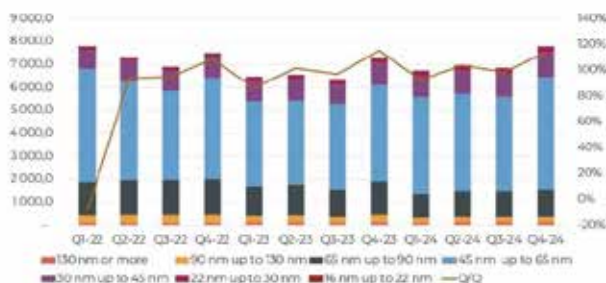
从市场出货量的角度来看,MCU是物联网的核心零部件,而物联网是一个万亿级的市场,设备接入量达到数十亿。MCU的出货量最大的市场是智能卡和安全MCU。然而,在设备安全方面,除了银行卡和身份证之外,几乎所有其他智能卡MCU都在逐步淘汰,嵌入式SIM卡正在填补这一下降的空缺。嵌入式智能卡虽然更昂贵,但功能更强大且更多样化。根据Yole的数据,智能卡MCU的市场份额预计在2022年至2028年间以14.4%的速度下降,而嵌入式安全MCU的市场份额预计以27.6%的速度增长。这种嵌入式安全MCU的趋势正在从移动设备扩展到计算机、车辆以及几乎所有连接到互联

网的数据敏感设备。

工业领域是一个相对稳定的市场，MCU的出货量变化相对较小，是MCU出货量的第二大市场。个人数据处理应用是另一个市场，MCU主要用于帮助设备收集、处理和保护个人数据。消费类和汽车市场也是重要的市场。消费电子市场无需多言，而汽车市场近年来备受关注，汽车MCU的需求正在增长，推动了车规级MCU的单车用量增加。此外，医疗领域也是一个重要的市场，MCU在医疗设备中扮演着关键角色，从便携式医疗设备到健康监测器材，都需要高度集成的处理器来实现功能。

6、MCU的未来发展趋势

2022-2024 quarterly MCU manufacturing revenue (\$m) by node
Source: Pinnacore's MCU Market Monitor Q2 2023, IoT Intelligence June 2023



MCU的技术发展是由MCU的应用市场驱动的，不同应用场景下MCU的需求也有所不同。以下是几个主要的应用领域和MCU的发展趋势：

①物联网：物联网的发展要求推动了MCU的低功耗设计和无线技术发展，以满足大规模设备连接和长时间运行的需求。

②汽车电子：汽车电子要求MCU具有更高的可靠性、处理能力、性能和存储空间。随着汽车的智能化和连接性的增强，MCU在汽车中的应用越来越

广泛。

③智能穿戴：智能穿戴设备的发展推动了MCU与传感器和模拟技术的集成，以实现更多功能和更好的用户体验。

总体来说，低功耗、高稳定性和高集成度已成为MCU产品未来的发展方向。

另一个发展趋势是MCU的功能扩展，即所谓的“MCU+”。这意味着在原有MCU的基础上，延伸通信、加密、感测或AI等其他功能，以提高综合竞争力和市场附加价值。

例如，“MCU+AI”是一个重要的发展方向。随着人工智能在边缘和终端设备中的应用，越来越多的MCU厂商开始将AI功能与MCU相结合，以实现更复杂的任务和更智能的应用。

另一个趋势是MCU从单核向多核的演变。随着汽车电子、工业自动化和AIoT的发展，MCU需要具备更强的处理能力。因此，双核、三核等多核MCU应运而生，以满足不同应用场景的需求。

最后，MCU的工艺也在不断提升。虽然MCU在工艺上相对落后于其他处理器，但随着市场对智能化、高端化和互联网连接需求的增长，更先进的制程工艺如16nm-22nm正在被开发和应用。特别是对于汽车MCU来说，使用先进制造节点的MCU能够提供更强大的计算能力和更低的能源消耗，以满足自动驾驶汽车等应用场景的需求。

随着新的技术和工艺的应用，MCU的性能和能效将进一步提升，以满足日益复杂的应用场景需求。

(来源：汽车半导体情报局)

汽车芯片，走到岔路口

当前，在电动化、智能化、网联化和共享化等“新四化”趋势推动下，汽车已经成为“轮子上的数据中心”，汽车半导体用量迅速提升。预计到2030年，高端汽车物料清单中，芯片比重将从当前的4%左右提升至20%以上。

随着汽车电动化和智能化进程的加快，汽车对新一代芯片的要求也在不断提升。过去一个普通的单片机就可以应付整车的电子控制系统，而如今随着辅助驾驶、语音识别、多媒体、车联网...等新兴场景的快速崛起，对芯片计算性能提出了更高的要求。

汽车芯片从原来通用型、分散化的单一功能芯片快速转向集成化的多功能SoC芯片。比如，在智能座舱

领域，CPU算力用于提高任务处理能力，还需要GPU算力来处理视频等非结构化数据，高效的AI算力来满足智能化交互体验要求，以提升人机交互体验。

这些不同的IP核组成了性能强大的SoC。而在SoC的背后，不同的制程工艺在一定程度上决定了硬件性能的上限。尤其是在“软件定义汽车”的趋势下，芯片硬件作为运行软件的基础，需要为未来OTA等迭代升级预留空间。

因此，汽车芯片的制程工艺变得至关重要。

为满足这些要求，业内正在加速研发性能更强的芯片，先进制程越来越多地成为满足汽车芯片应用的重要筹码之一。今年7月，台积电欧洲总经理Paul de Bot在第27届汽车电子大会上表示，汽车行业的芯片和采购芯片的方式都变得越来越复杂。

长期以来，汽车行业一直被认为是技术落后者，只注重落后工艺，但实际上，汽车行业在2022年开始使用5nm工艺——距离5nm进入量产仅两年。台积电强调：“不可能为汽车行业预留闲置产能，建议汽车制造商尽快开始计划转向先进节点。”

汽车芯片，迈向先进制程

在传统车用半导体制备中，由于汽车本身空间较大，对集成度的需求没有手机等消费电子紧迫。加上半导体元器件主要集中在发电机、底盘、安全、车灯控制等领域，对算力没有太高的要求。以往，汽车芯片大多采用40nm及以上的成熟工艺制程，跟消费电子芯片在工艺上差了不止一个量级。

但在汽车智能化的革命浪潮之下，随着智能座舱、自动驾驶水平的提升，都依赖大算力、低功耗芯片的支持，24nm乃至48nm制程工艺的车规级芯片显然已经跟不上产业的快速转型。

汽车芯片正由**过去工艺制程相对落后、量大价低的行业洼地，摇身一变成为芯片行业高精尖技术的应用先锋，芯片企业争相抢占的技术制高点**。这意味着，汽车芯片将不再与成熟工艺制程绑定，先进工艺制程将成为芯片行业技术创新的制高点。

车规级芯片根据功能分为计算控制芯片、存储芯片、功率半导体、传感器芯片等几大类。从芯片工艺制程来看，不同汽车芯片对工艺要求存在较大差异。MCU主要是依靠成熟制程，全球约70%的MCU生产来自台积电；而智能座舱、自动驾驶及AI芯片等主控芯片出于性能和功耗考虑，持续追求先进制程，高级别自动驾驶正在推动汽车算力平台制程向7nm及以下延伸。

在此趋势下，催生了高通、英伟达、英特尔、联发科等高性能计算玩家进入车用市场，推动汽车算力平台制程向7nm及以下延伸。从趋势上看，智能座舱和自动驾驶被视为未来的“机会风口”之一，也是制程工艺竞争最为激烈的领域。

目前，智能座舱的明星产品是2019年高通发布的骁龙8155芯片，是全球首个采用7nm工艺的汽车芯片。高通8155座舱平台一经问世便被称为“车规级芯片天花板”，也成为衡量一款智能车科技水平高低的标尺。在当今智能汽车市场，如果没有8155的支持，座舱系统将极大减少对潜在车主的吸引力。而车企“言必称8155”的景象，也像极了智能手机时代争抢高通芯片首发机会的旧事。

2021年底，高通再次发布了全球首个5nm汽车芯片——骁龙8295，相比8155的8TOPS算力，8255芯片AI算力达到30TOPS、GPU性能提升2倍、3D渲染能力提升3倍，增加了集成电子后视镜、机器学习视觉、乘客监测以及信息安全等功能，一颗芯片可带11块屏。

目前来看，高通智能座舱芯片沿袭智能手机芯片的优势。从2014年推出第一代骁龙620A以来，高通已发布四代智能座舱芯片，芯片制程由28nm升级至5nm。高通如此迅速的将目前最先进的5nm制程工艺芯片完成车规级验证引进到汽车领域，掀起了智能汽车时代高端芯片新的较量，最先进制程的芯片将不再只是消费级电子产品的专属。

除了座舱芯片外，高通的Snapdragon Ride自动驾驶平台的核心SoC也基于5nm制程打造，并集成了高性能CPU、GPU和AI引擎等核心组件，最高算力可达700TOPS。

在自动驾驶时代，“CPU+GPU+XPU”的异构主控SoC芯片将逐渐成为主流，算力正在快速攀升。在自动驾驶芯片领域，英伟达、Mobileye最新的自动驾驶芯片均采用7nm制程工艺，而特斯拉自研的自动驾驶芯片采用了三星14nm制程。前不久，供应链传出特斯拉HW4.0芯片将转投台积电制造，采用4nm/5nm工艺打造。

以Mobileye EyeQ5芯片为例，该芯片采用了7nm FinFET工艺，单颗算力为24TOPS。而同样是7nm制程的英伟达Orin芯片，单颗的算力达到了256TOPS，几乎达到了前者的10倍。

CES2022器件，Mobileye发布了三颗自动驾驶芯片，其一是面向L4级自动驾驶的芯片EyeQ Ultra，另外两颗是面向L2级自动驾驶的芯片EyeQ6L和EyeQ6H。

EyeQ Ultra是一颗更高算力的自动驾驶芯片，基于5nm制程打造，具备12核、24线程CPU，同时还有两个通用计算加速器和两个CNN加速器，其AI性能能够达到176TOPS。EyeQ Ultra预计将在2025年实现量产上车。EyeQ6系列两款芯片都将基于7nm制程打造，在算力性能和尺寸等方面进行了提升，预计2024年实现量产。

另一边，英伟达在SoC芯片方面，从Parker、Xavier、Orin到还未量产的Thor，在算力、功耗、工艺先进性上不断提升，持续领先高阶自动驾驶。英伟达的Orin，是7nm高算力芯片的代表，于今年3月官宣量产，该芯片一经推出就获得了比亚迪、理想、蔚来、奔驰、沃尔沃、现代、奥迪等大批主机厂选用。

而英伟达下一代 SoC芯片——Thor，集成了770亿晶体管，单片算力能够达到2000TOPS的性能怪兽，算力达到了现款产品Orin的近8倍，预计将在2025年左右量产。制程工艺暂时还未透露，不过根据推测大概将采用台积电的4nm工艺。

由于性能的强大，Thor可同时为自动泊车、智能驾驶、车机、仪表盘、驾驶员监测等多个系统提供算力，将自动驾驶、信息娱乐等功能划分成不同的任务区间，同时运行，互不干扰。

将芯片算力从几百TOPS一下子“卷”到2000TOPS级的雷神Thor，明确传达出英伟达不会被限定在自动驾驶，还会覆盖智能座舱领域，实现汽车智能化技术的“大一统”。事实上，这也符合汽车电子电气架构从分布式向集约式，中央集中架构发展的技术趋势。

此外，安霸最新AI域控制器芯片CV3系列，恩智浦新一代 S32 系列车用处理器，三星最近同意供应现代汽车Exynos Auto V920娱乐芯片等，也将采用台积电5nm工艺。

而联发科更是“一鸣惊人”，计划推出采用3nm制程的“天玑车载平台”。据了解，“天玑车载平台”将采用3nm制程打造，包含了用于驱动8K、120Hz HDR屏幕的MiraVision显示技术，能够兼容“多个原生HDR摄像头”的图像信号处理单元，可以通过联发科的APU技术为汽车提供一定程度的ADAS辅助驾驶功能，此外还能外挂联网模块，从而实现WiFi7、5G网络、GPS，甚至是卫星联网能力。

除了行业大厂之外，本土SoC已进展至7nm，地平线、黑芝麻智能、芯驰科技、芯警科技都发布了相关产品。其中，芯警科技自研的“龙鹰一号”作为国内首款车规级7nm芯片近日宣布首发上车，该芯片拥有8核CPU、14核GPU，以及8 TOPS AI算力的独立NPU，最多可支持7屏高清画面输出和12路视频信号接入，并在行业内率先配备双HiFi 5 DSP处理器。

今年4月，黑芝麻智能推出首款自研的7nm芯片武当C1200，基于行业先进工艺，确保算力、功耗、成本能够更好平衡。

地平线CTO黄畅在2022全球AI芯片峰会的演讲中透露，征程6芯片将采用7nm工艺，到征程7或征程8时，地平线的工艺制程将走在行业前列。

纵览汽车芯片产业格局，过往把持车用半导体市场的主要为恩智浦、英飞凌、意法半导体、瑞萨电子等传统汽车芯片大厂。但随着ADAS、自动驾驶技术的兴起，智能汽车对于计算和数据处理能力的需求暴增，让本来就对这块市场有兴趣的科技公司又有了进击的理由。

传统车用芯片虽然标榜高可靠度与稳定性，但考虑到自动驾驶的长期发展，汽车处理器芯片所需要的运算效能一定要提升，先进制程成为不可或缺的关键。

综合来看，目前采用7nm制程的汽车芯片中，已经有不少的产品已经进入量产，主要是智能座舱或自动驾驶芯片，比如英伟达Orin、特斯拉第二代FSD芯片、骁龙8155、芯擎科技“龍鷹一号”等。目前的一些5nm制程汽车芯片大部分仍处于研发当中，或逐渐进入量产阶段，比如高通第四代座舱芯片骁龙8295、高通骁龙Ride自动驾驶平台的核心SoC、安霸最新AI域控制器芯片CV3系列等等。

此外，为支持汽车芯片厂商，台积电在2022年三季度就推出了针对ADAS和智能数字驾驶舱的汽车芯片的5nm工艺平台“N5A”，符合AEC-Q100、ISO26262、IATF16949等汽车工艺标准。台积电还计划在2024年推出业界第一款基于3nm的汽车芯片平台“N3AE”，计划在2025年量产3nm汽车芯片。

行业厂商的一系列产品动态和规划都在标明，先进制程汽车芯片开始快速迭代，并进入量产加速期。

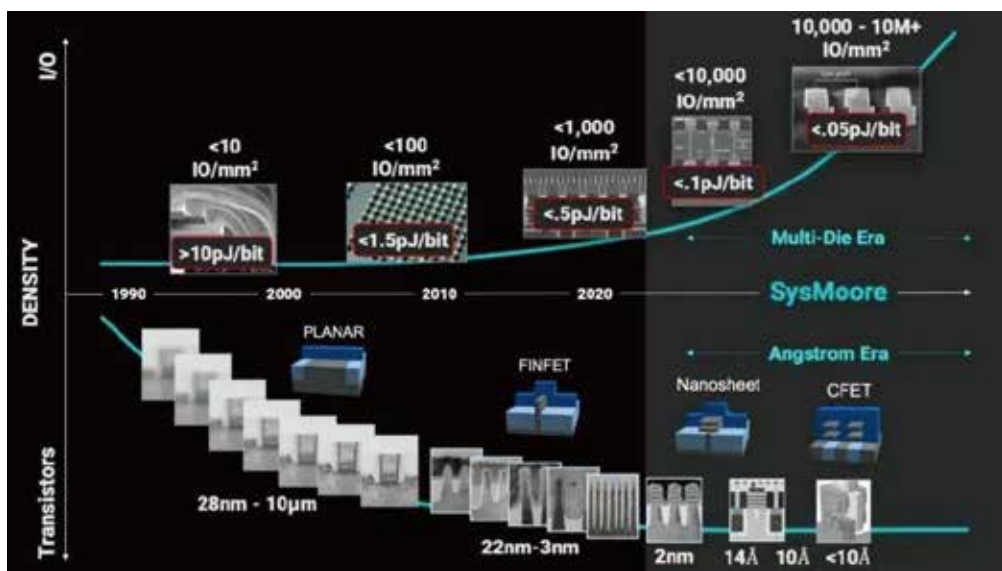
Chiplet, 备受汽车行业瞩目

随着先进制程迭代到5nm、3nm，摩尔定律逐渐趋缓，先进制程的开发成本及难度日益提升。同时，也并不是所有的芯片厂商都可以像英伟达、高通那样通过多个规模化的应用市场来平摊高昂的先进制程工艺芯片的研发成本。对此，包含汽车芯片在内的半导体行业开始拓展新的技术路线试图延续摩尔定律，而如今被视为“救命稻草”的Chiplet概念也由此提出。

Chiplet也称作“芯粒”或“小芯片”，它是将原本一块复杂的SoC芯片，从设计时就按照不同的功能单元进行分解，然后每个单元选择最适合的制程工艺进行制造，再通过先进封装技术将各个单元彼此互联，就像“乐高积木”一样封装为一个SoC芯片。

简而言之，Chiplet旨在将芯片性能与芯片工艺解耦，从而解决芯片设计中面临的复杂度大幅提升问题，以及先进制程中面临的高成本、低良率问题。

在Chiplet的系统级架构设计下，通过2.5D/3D堆叠等先进封装技术，使用10nm工艺制造出来的芯片可以达到7nm芯片的集成度，其研发投入和一次性生产投入则比7nm芯片的投入要少的多。



此外，模块化的芯粒可以减少重复设计和验证环节，降低芯片的设计复杂度和研发成本，加快产品的迭代速度。同时，降低对先进工艺制程的依赖，对于车载应用市场来说，本身也是一种降本策略。

目前汽车电子是Chiplet技术的主流应用方向之一。

智能汽车电子电气架构从分布式ECU到集中式多域控制器，再到未来的中央计算平台演进，Chiplet技术具备独特的优势。

上文提到，随着汽车产业智能化和网联化程度的不断提高，汽车自动驾驶和智能座舱采用了复杂的SoC芯片，计算/感知/执行都需要更快的数据传输能力给予支撑，而Chiplet可以大幅简化汽车芯片迭代时的设计工作和车规流程，同时增加汽车芯片的可靠性。

从需求端来看，有行业人士指出，由于不同车企的产品定位差异，实际上对于芯片的性能要求并不相同。但现实情况是，市面上能拿到的芯片，都是标准化产品。车企只能在功能定义、软件算法层面进行差异化的开发。同时，产品路线图必须与芯片厂商保持一致。此外，为了拿到最新一代产品的首发，车企往往还需要支付不菲的费用。尤其是随着中央计算架构的逐渐到来，平台要实现的功能非常复杂，集成度持续处于不断提升的特点，这意味着通用芯片不足以承载不同车企的需求定义。

因此，对于汽车行业来说，**Chiplet是定制汽车SoC的一种新方式**。最重要的是，这种方式可以让车企重新获得架构控制权，并决定计算平台需要如何扩展。

在成本方面，相比于直接生产SoC，使用小芯片生产有助于提升晶圆面积利用率，且小芯片可以重复利用，从而降低产品总设计、验证和制造成本。此外，采用Chiplet技术后，各大厂商可以专注于自己的芯粒和IP，省去多余的IP费用。

以AMD为例，通过Chiplet的设计思路，除了能够降低40%的制造成本，还可以更加灵活地销售服务器芯片，根据需要添加和移除小芯片，并能针对不同的功能选项制定不同芯片的价格区间。

众所周知，特斯拉在全球率先启用AMD的座舱计算平台方案(Ryzen APU和基于RDNA 2架构的GPU)，后者便是Chiplet技术应用的排头兵，从2015年就开始布局相关技术产品落地。

去年，AMD正式发布了采用RDNA 3架构的新一代旗舰GPU，这是该公司首度在GPU产品中采用Chiplet技术，拥有多达580亿个晶体管，每瓦特性能提升了54%，并且提供高达61TFLOP的算力。

而这只是第一步。按照计划，AMD将寻求在芯片设计方面更符合客户喜好的产品，比如，基于Chiplet技术，客户可以灵活配置第三方IP，尤其是汽车智能化的需求不断释放，未来异构集成的模式，或许会成为市场主流。

看到这个机会的，还有英伟达。英伟达此前推出的NVIDIA NVLink-C2C，这是一种超高速的芯片到芯片、裸片到裸片的互连技术，支持定制裸片与NVIDIA GPU、CPU、DPU、NIC和SoC之间实现一致的互连。借助先进封装技术，NVLink-C2C互连链路的能效最多可比PCIe Gen 5高出25倍，面积效率高出90倍，可实现每秒900GB乃至更高的一致互联带宽。

“为应对摩尔定律发展趋缓的局面，必须开发小芯片和异构计算。”站在英伟达的角度，这家已经在自动驾驶赛道占据先发优势的芯片巨头，同样觊觎市场规模巨大的跨域市场。

比如，英伟达去年亮相的“超级汽车芯片Thor”，单颗芯片算力达到2000TFLOPS，并通过多颗芯片的NVLink-C2C互连来支持多域计算，以分离自动驾驶等关键安全功能和信息娱乐等功能的处理。

而英伟达与联发科的联姻，更是将Chiplet进一步推向舞台中央。

今年5月，英伟达与联发科宣布，双方将共同为新一代智能汽车提供解决方案，合作的首款芯片锁定智能座舱，预计2025年问世，并在2026年至2027年投入量产。在这款芯片设计上，联发科将开发集成英伟达GPU芯粒的SoC，搭载NVIDIA AI和图形计算IP，基于Chiplet实现主芯片与GPU芯粒间高速互连。

能看到，Chiplet技术的出现，也意味着汽车芯片除了聚焦先进制程外，通过架构创新实现算力跨越也已成为可能。

汽车行业的各方似乎都在为Chiplet造势。Tier1和OEM正在寄希望于Chiplet可以实现下一代具有差异化的车辆平台。在产业链上下游企业的共同推动下，Chiplet正在不断扩大其商业应用版图。

结语

过去几年，汽车芯片从通用型、分散化的单一功能芯片快速转向集成化的多功能SoC芯片，SoC几乎成了智能汽车行业皇冠上的明珠。

在这个趋势下，汽车芯片也“精益求精”，一方面在先进工艺制程上大有追平消费芯片之势；另一方面，瞄准Chiplet技术寻求“另辟蹊径”。对于汽车芯片供应商来说，继续选择单芯片、更先进制程工艺，还是选择Chiplet方案，是一个战略抉择。而如何选对方向则考验着企业的判断力。

(来源：半导体行业观察)

EUV光刻的现状和展望

2022年，半导体市场规模约为0.6万亿美元，商业分析师预计到2030年将翻一番，达到1.0万亿至1.3万亿美元。半导体制造业的大幅增长可以在光刻工艺中体现出。光刻是一种图案化工艺，将平面设计转移到晶圆基板的表面，形成晶体管和布线互连等复杂结构。这是通过一个复杂的多步骤过程，选择性地将光敏聚合物或光刻胶暴露在特定波长的光下完成的。最近，光刻技术的进步在生产最先进的半导体方面创造了竞争优势，使人工智能(AI)、5G通信和超级计算等最先进的技术成为可能。因此，先进的半导体技术会很大程度上影响国家安全和经济繁荣。

当今最先进的半导体光刻工艺使用EUV光源，特别是13.5nm的光。EUV光允许在半导体中构建更小的单位特征。据报道，EUVL系统目前耗资1.5亿美元，由ASML于2019年首次部署，该公司一直保持着100%的市场份额。迄今为止，ASML已经交付了三种不同型号的EUVL系统，即Twinscan NXE:3400 B/C和NXE:3600D，NXE系统的总出货量从2019年第一季度的31台增长到2022年最后一季度的181台。

1、EUV光刻技术背景

EUVL是制造下一代半导体芯片的关键步骤。EUV光是由高纯度锡产生的高温等离子体产生的。固体锡在液滴发生器内熔化，该仪器在真空室中每分钟连续产生超过300万个27 μ m的液滴。平均功率为25kW的二氧化碳(CO₂)激光器用两个连续

脉冲照射锡液滴，分别使液滴成形并电离。最初，产生了数千瓦的EUV光，但由于沿着光路的吸收和散射损失，只有一小部分光到达光刻掩模。13.5nm光的输出功率和光束质量是从间接闪烁体相机的测量中推断出来的。多层聚光镜系统将光引导到光敏聚合物或光刻胶上，从而将图案转移到硅片上。反光镜通过H₂气体的恒定流动保护从而免受锡碎片的破坏。自动晶圆台在每次曝光后以 ≤ 0.25 nm的分辨率定位晶圆，每秒进行20000次循环检查调整过程。总的来说，这个过程需要在许多不同的工程系统之间进行精确的协调。图1显示了ASML-EUVL组件的照片。



图1 ASML EUVL组件的照片

2、EUV光刻技术的现状与未来

先进半导体制造业的增长来自美国以及欧洲和亚洲地区的新EUV制造设备。如前所述，目前唯一生产EUVL扫描仪组件的公司是总部位于荷兰的ASML。ASML向英特尔、总部位于中国台湾的台积电(TSMC)和总部位于韩国的三星等公司销售

EUV扫描仪组件。然后,这些公司在其半导体制造设备中使用EUV扫描仪。EUVL系统并非仅在荷兰制造,而是由全球开发的许多模块组成,这些模块在交付给客户之前,将被运送到荷兰的ASML总部进行最终组装和测试。

从美国的角度来看,ASML的EUV光源的研发和制造基地位于加利福尼亚州圣地亚哥。EUVL扫描仪组件的光源组件如图2所示。应注意的是,光源组件包括位于EUVL扫描仪组件中的源容器以及其它许多组件,包括激光计量、光束传输系统和驱动激光器及其辅助设备。驻扎在圣地亚哥的Cymer是要负责EUV光源相关工作,由ASML于2012年收购。此外,鉴于EUVL在半导体制造方面的优势,出口管制保护了这项技术。具体而言,2022年10月,美国工业和安全局(BIS)发布了一项规则——87 FR 62186,对包括极紫外光刻在内的技术进行出口管制。

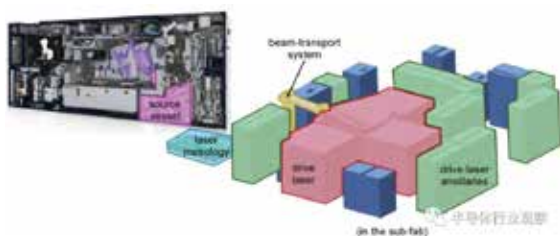


图2 ASML的EUV光刻源组件的图形

ASML表示,EUV光刻的未来发展包括将数值孔径(NA)从0.33增加到0.55(“High NA”)。High NA可用于减少目前0.33NA所需的多重图案化步骤的数量,并能够解决更精细的几何尺寸。这与公开发布的2022年IEEE国际器件和系统路线图(IRDS)一致,是到2037年继续将晶体管规模扩大到0.5纳米所必需的。新NA平台的目标是提高晶圆和掩模状态的变化速度,以实现几何芯片缩放。High NA系统预计将于2023年交付给客户,用于大批量制造的全平台工艺预计将于2025年投入运营。2023年初,ASML宣布,他们创造了两项新的EUV功率记录,即一小时运行600 W EUV的High NA的光刻机型号EXE:5200符合剂量稳定性规范并且能够进行700 W开环运行。在实现EUV大批量制造之前,600 W的演示比五年前交付的250 W有所增加。

3、EUVL的技术方面

一、液滴发生器:极端条件下的热物理特性和建模

液滴发生器是EUVL扫描仪组件中的重要部件(图3)。液滴发生器控制进入EUV光源腔的材料尺寸、速度和重复率,以通过产生13.5nm EUV光的CO₂激光器进行电离。因此,必须可靠地输送液滴,才能产生EUV光,因为故障会影响所有下游组件,从而停止运行。液滴的典型直径为27 μ m,速度为80 m/s,重复频率为50 kHz。液滴发生器触发CO₂激光脉冲的发射,使其被称为整个EUV扫描仪组件的“心跳”。

锡是EUVL应用中液滴发生器的工作流体,因为它在电离成等离子体时会产生特定的13.5nm波长的光。近几十年来,研究人员研究了锡以外材料的可能性,如氫和锂。安全性、成本和性能等因素已证明锡是EUVL制造应用中激光产生等离子体的最佳材料。在半导体制造中,除了锡之外,暂时没有其他材料能够进入EUV光源的公开路线图,因此在基础科学层面了解这种材料的投资将在近期和长期产生影响。该行业对单一材料源锡的定位,使其成为用于产生EUV光的复杂激光-物质相互作用所需的基本材料特性的理想选择。

液滴发生器的工作原理是将固体高纯度锡(>99.999 wt.%)装入容器中,加热至其熔点(~232°C)以上。然后,通过高纯度气体(通常是氮气)将压力施加到容器中液体的一侧,使熔融锡通过过滤器流到另一侧的喷嘴。锡液滴的射流通常由产生机械振动的压电(PZT)晶体调制。第一代液滴发生器的示意图及其照片如图3所示。液滴位置稳定性 Δ 约为1 μ m。



图3 锡液滴发生器的示意图(顶部)和照片(底部)

液滴发生器在2021年取得了新的进展,具有同步再填充功能,如图4所示,在不中断下游EUV扫描仪性能的情况下减少了系统停机时间。这种新的液滴发生器设计,已经实现了超过3000小时的连续操作。

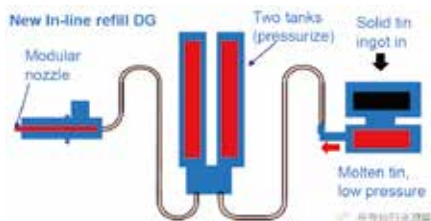


图4 带同步再填充的锡液滴发生器示意图

提高生产率以获得更高的EUV功率需要增加驱动激光功率(见第2.2节)和每秒更多的液滴。为了增加液滴频率,液滴发生器的压力需要增加,这反过来又会产生更大的液滴间距。这在概念上如图5所示。

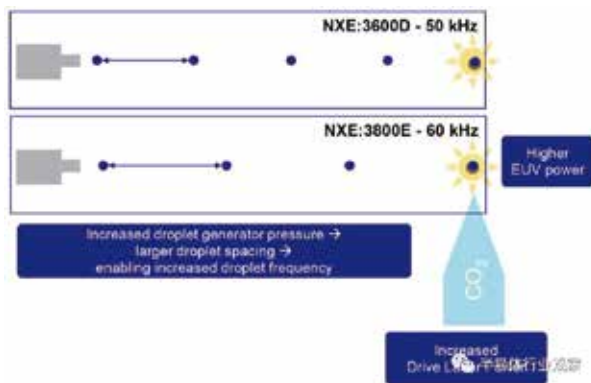


图5 液滴发生器的空间域示意图,具有不同的操作压力,以实现更高的EUV功率

目前,在高于大气压的压力下,熔融金属缺乏可靠的材料特性。标准数据的缺乏阻碍了对液滴发生器进行数值模拟的工作。科学家和工程师描述的当前做法包括从已发表的文献中寻找最接近的材料特性,并推断出粗略的估计值。

考虑到熔融锡的参考数据缺失,可以测量参考质量数据以填充数据库的新仪器将是有价值的。声速(SoS)是一种特别有用的材料性质,因为它可以与单个(T, p)点的密度和等压热容数据相结合,从而可以导出任何温度、T和压力下的密度、等压膨胀率和等压热容量的附加热物理性质。NIST的研究人员已经展示了制冷剂材料的SoS测量值。准确

的SoS测量对于实现使用状态方程(EoS)对材料热力学特性建模的最终目标至关重要。在模拟精度上使用不同的EoS已被证明对即使是最简单的几何形状的精度也有显著影响。NIST目前正在开发一种仪器,用于在升高的压力和温度下测量SoS。SoS仪器是Elizabeth Rasmussen博士的国家研究委员会(NRC)金属增材制造博士后研究基金的一部分。该仪器的设计和操作已于2022年10月提交美国专利。新的金属SoS仪器是NIST现有仪器的扩展,该仪器在不太极端的温度和压力下运行。新仪器目前正在开发中,需要额外的专用资源来进行锡测量。

EUV对极端条件下熔融锡的传输特性数据(表面张力、粘度等)有额外的需求。满足这一需求将需要一种新的定制计量仪器和相关资源。SoS将具有世界级的计量能力,因此需要专业技能来执行设计、制造和操作。

一旦收集到数据,就可以在EoS中对其进行关联。这种传播的一个例子是热力学EoS。锡的传输特性目前有一个参考相关性,但没有参考EoS。锡传输特性的相关性与实验数据相差5-10%,并且仅在大气压下有效。这为先进计量带来了机遇。NIST在通过REFPROP (REferential fluid PROPERTIES)计划创建制冷剂和天然气材料的参考相关性、EoS和SRD方面拥有专业知识,可追溯到20世纪90年代。因此,可以对金属进行类似的测量,特别是对锡,并将EoS开发为SRD,以实现高保真度模拟和数据驱动EUVL开发。这种发展可能包括增加EUV发射和数字孪生创建,这将使参考材料特性、参考相关性和EoS成为可能。SRD或模型在美国工业中的传播可以通过NIST制定的SRD计划以可控的方式进行,如图6所示。目前,没有任何商业软件系统能够提供关于高于大气压的液相金属的精确或预测性模拟指导。

EUV对极端条件下熔融锡的传输特性数据(表面张力、粘度等)有额外的需求。满足这一需求将需要一种新的定制计量仪器和相关资源。SoS将具有世界级的计量能力,因此需要专业技能来执行设

计、制造和操作。

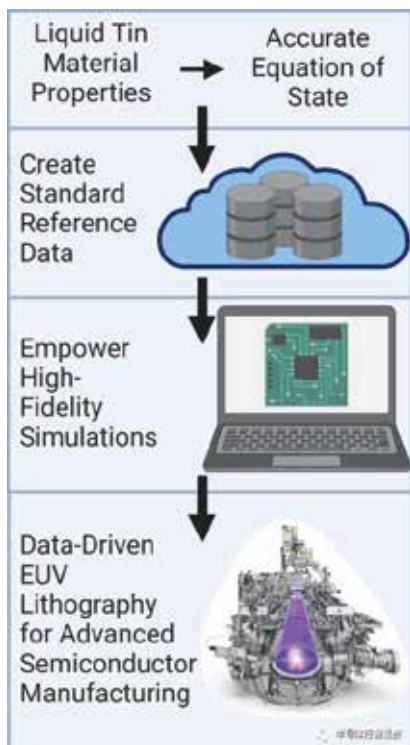


图6 液态锡材料特性如何有助于数据驱动EUV光刻的液滴发生器操作的流程图

除了在极端温度和压力下缺乏热力学和传输特性外，关于组件的结构和压电数据也很有限。这通过限制预测可能的材料不相容性的能力来限制液滴发生器的设计。

金属液滴发生器存在于纯锡之外，几十年来一直用于焊接和制造金属增材制造粉末等应用，包括铅、锡、铟、铜、银和金合金。鉴于应用领域的成熟度，令人惊讶的是，在基本材料特性方面依然存在很大的知识差距。尽管EUVL以外的液滴发生器的使用不在工作组的范围内，但值得注意的是，该领域的发展也可能影响其他关键技术领域。

总之，重点对EUVL扫描仪组件内的液滴发生器进行了优化。明确了液滴发生器持续、可靠和精确操作的必要性，以及改进设计以提高EUV芯片生产的必要性。在测量高压下熔融锡的基本热力学和传输特性方面的计量进步，可以为材料特性创建参考相关性，并以SRD的形式传播。将SRD集成到模拟软件中可以实现液滴发生器的数字孪生模拟。因此，能够模拟液滴发生器的环境可以有助于当前设

备的操作和未来设计的创新，从而实现High NA EUV扫描系统。

二、EUV生成的辐射测量

工业EUVL工具主要涉及两种类型的光：用于电离熔融锡(Sn)的脉冲高功率红外(IR)激光和用于光刻的13.5nm光。前者由专门制造的CO₂激光器($\lambda=10.6\mu\text{m}$)提供，以50 kHz的重复频率发射约30 kW(平均功率)。锡电离过程包括两个快速连续的红外激光脉冲：一个预脉冲将液滴从球体变平为圆盘，另一个主脉冲能量更高，用于电离。IR激光器的输出对于开发未来的光刻工具至关重要，因为“EUV功率缩放需要更高的CO₂激光功率……”在实验室演示的600 W的当前商用光刻工具中，非相干13.5 nm EUV光的最大输出功率约为250 W。双脉冲系统如图7中的图表格格式所示。

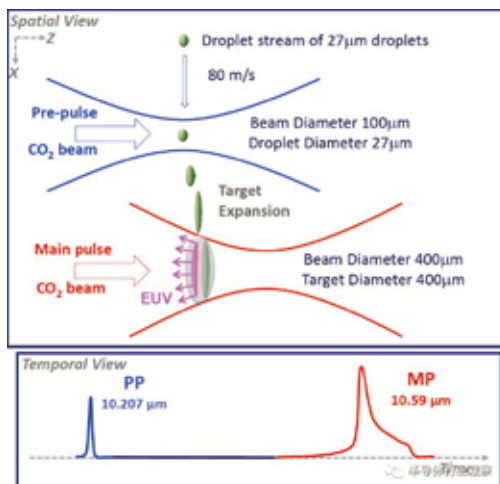


图7 展示了在半导体制造过程中产生EUV光的两脉冲系统的(顶部)空间视图和(底部)时间视图

EUV波长范围内的校准是可能的，但仅在比EUVL工具产生的功率(毫瓦)低得多的情况下进行。在这些降低的功率下，可以提供辐射硬化硅光电二极管和氧化铝光电发射探测器。在EUV中进行了其他光学特性测试，包括滤波器传输和空间均匀性测试。计量研究的机会是扩展NIST的校准能力，以覆盖输入IR激光、用于推断功率中游的EUV闪烁体和直接最终输出的EUV光，所有这些都是在与工业EUVL相关的条件下进行的。这将通过为关键工艺参数提供可追溯的计量，对半导体制造工艺的发展产生直接影响。此外，通过提供高保真度数据来

验证EUV生成的模拟,对未来的EUV仪器开发将产生长期影响。

绝对辐射测量不仅对光刻工艺开发和仪器验收测试很重要,而且对EUV光生成过程的精确量化也很重要。这一过程的预测模拟滞后于EUV工具本身的开发。提高模型精度需要模型输入和输出的精确实验数据。在与工业EUV光产生相关的条件下开发特定于IR激光器和13.5nm光的新的辐射测量工具将提供这样的数据。

三、等离子体物理与建模:光与物质的相互作用

EUVL利用13.5nm的光子来生产集成电路。这种光的主要来源是用强大的激光产生的非常热的锡等离子体。调整激光参数以产生主要在13.5nm附近发射的锡离子(例如Sn 10+-Sn 15+)。虽然大多数等离子体特性都在大量实验中进行了探索,但可靠和有效的理论支持对于开发更好的锡等离子体源至关重要。

激光产生的锡等离子体的光发射的高级计算通常使用大规模碰撞辐射(CR)代码进行,该代码试图解释导致光子辐射的最重要物理过程。其中包括电子碰撞激发、去激发和电离、辐射、介电和三体复合以及自电离等等。此外,辐射传输和不透明度以及辐射流体动力学建模也变得非常必要。

等离子体建模也受到诸多限制,因为关于支撑物质相互作用的基本物理机制的信息有限。这可能导致支持更大批量制造的等离子体工程的进展是渐进的,而不是变革性的。过去,业界与政府的实验室合作伙伴一直试图了解并控制等离子体过程,并报告了他们的进展。来自业界的模拟专家还指出,复杂的模拟如何在不同的时间尺度上覆盖多个物理领域。等离子体建模在指导工程提高EUV光生成和效率方面的实用性存在悬而未决的问题。例如,对带外光子以及离子和电子的发射进行建模可以提供预测性见解,这将极大地提高芯片生产的效率。另一个感兴趣的领域是EUV光刻胶的光子、电子和化学相互作用,这是EUVL行业非常感兴趣的研究之一。因此,等离子体物理建模也适用于EUV

光学元件。

在过去的三年里,EUVL建模社区通过组织EUVL代码研讨会,启动了CR代码的长期验证计划。该方法是根据NIST原子光谱小组组织的一系列非局部热力学平衡(NLTE)代码比较研讨会建模的,该研讨会持续了25年多。因此,NIST的原子光谱小组(ASG)被要求开发一个新的EUVL数据库和现代比较工具,用于智能比较EUVL的CR代码。迄今为止,所述工作已在没有直接财政支持的情况下成功完成,最近两次欧盟虚拟实验室讲习班的参与者使用数据库和用户界面对其软件包进行了比较。尽管如此,未来的研讨会旨在分析需要对数据库和用户界面进行大量修改的新物理参数。因此,需要稳定的资金来支持这一研究领域的长期发展。

研究人员报告的一个未来方向是研究更短的波长方案,主要基于多层反射镜的可用性。这将产生比锡更重的元素在更高电离态(所谓的“超EUV”)下产生的更短的光子波长。不幸的是,更广泛的研究界对20多次电离的高Z元素的光谱的了解是不够的。NIST ASG具有充分的实验和理论能力,可以为EUVL社区提供未来等离子体源最准确的光谱数据。为此,NIST电子束离子阱(EBIT)不仅可以产生电荷高达70+的离子,而且由于在该光谱范围内可以使用精密光谱仪,因此可以在EUV和软X射线范围内记录最准确和详细的光谱。NIST ASG团队还使用最先进的原子方法和代码进行高精度的大规模光谱计算。经证实的能力应满足EUVL对未来等离子体源准确数据的需求。

四、与 EUV 相互作用的元件的表征

(1) 光刻胶:聚合物表征

光刻胶加工对于半导体行业至关重要。所有器件元件和相关结构(从场效应晶体管(FET)中的通道到器件之间的电气互连)都需要光刻制造的纳米级图案。Rent规则指出,端子或互连的数量随着逻辑块或门的数量的增加而增加。这与单元级别有关,当标准单元缩小时,与单元的连接也需要缩小。这个概念如图8所示。

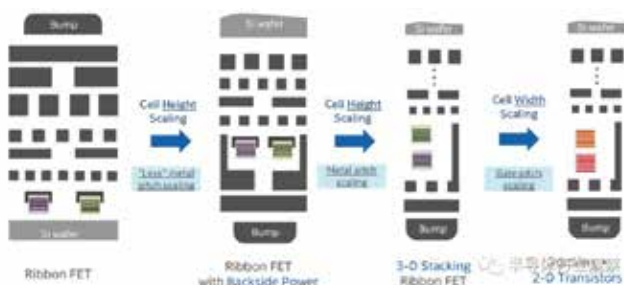


图 8. 需要单元宽度和单元高度缩放的带状 FET 的单元尺寸缩放趋势示例

业内人士强调,为利用新的电池架构和新型的器件材料,需要积极地缩小间距。实现新型细胞结构和材料的 HVM 存在困难,其中产量是一个主要问题。例如,给定每个芯片 1010个触点,芯片良率 ($Y_d = \text{良品数}/\text{总数}$) 至少为99%。就上下文而言,第三代英特尔酷睿处理器(四核)包含 14.8 亿个晶体管。在 99% 的良率下,148 万个晶体管将有缺陷——目标是 99.99996% 的良率或 6 Sigma (6 σ)。良率必须非常好——良率完全取决于过程控制和缺陷。如果良率足够,制造 EUV 芯片的成本由生产率(吞吐量)决定。换句话说,更好的Pitch分辨率是必要的,但对于 HVM 来说还不够。

影响良率的主要工艺变化是边缘贴装误差 (EPE)。当光刻胶线条图案的边缘和侧壁显示出意外的纳米级不规则性时,就会发生这种情况。这些不规则性是随机的,通俗地称为线边缘粗糙度 (LER) 伪影。随着器件尺寸持续缩小,LER 伪影可能会严重影响尺寸控制,并且随机 LER 波动的幅度开始与线路图案公差竞争。LER 的控制对于提高器件性能和制造产量至关重要。LER 可能是由加工流程中的许多因素引起的,包括光刻和蚀刻步骤中的错误以及光刻胶化学中的纳米级变化。因此, EUVL 行业需要更好地了解 LER 的原因,以及缓解这些问题的新工具。

减少线/空间抗蚀剂校正误差的策略之一是通过定向自组装 (DSA),因为它可以修复小于Pitch的缺陷。EUV + DSA 工作原理的示例如图 9 所示。一位行业成员在工作组会议上介绍了 EUV、DSA 和自对准双图案化 (SADP)在 18 nm 和 21 nm 金属Pitch的协同组合的案例研究。

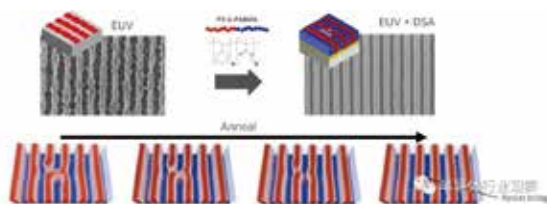


图 9. 除了 EUV 光刻胶之外,使用定向自组装 (DSA) 如何改善系统和随机变异性的示例

总而言之,围绕 EUV 光刻胶的关键点是,单元尺寸缩小需要新颖的工艺架构、新颖的器件材料以及将互连间距缩小到 12 nm 的Pitch间距。如果芯片良率足够高, EUVL 半导体芯片成本主要受到生产率(吞吐量)的限制。成品率主要由导致边缘放置误差的随机工艺变化决定。金属氧化物抗蚀剂平台在紧密间距下显示出令人印象深刻的分辨率和缺陷性能,并且 DSA 从根本上改善了光刻胶的系统性和随机变化。

对于光刻胶的前景给出了以下需求:(a) 具有更高量子数的新型光刻胶 (b) 光刻胶/底层特征和缺陷形成的起源 (c) MOx 光刻胶中随机缺陷的化学形态 (d) 有机光刻胶的光刻胶浮渣缓解策略 (e) 有机光刻胶的干式显影技术。随着 EUVL 制造从低 NA 过渡到高 NA 及以上,这种需求尤其重要,如图 10 所示:

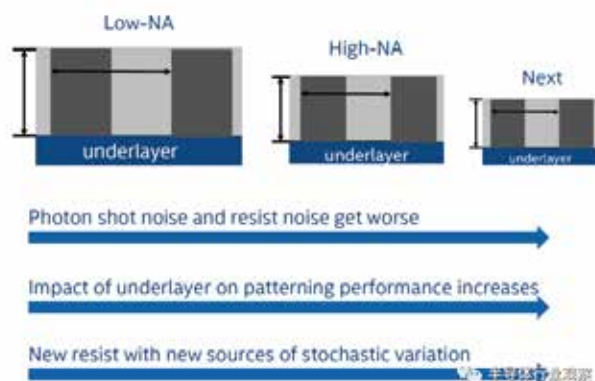


图 10: 该图显示了随着 EUVL 制造中的数值孔径 (NA) 从低 NA 过渡到高 NA 甚至更高,如何需要新的光刻胶

对于Rectification校正,行业需求是 (a) 对粗糙度和缺陷进行与节距无关的校正,以保留目标布局,如图11所示, (b) 具有高chi材料的新 DSA 分子,具有高选择性干法蚀刻和选择性渗透, (c) 3 吨 ABC 嵌段共聚物,以及 (d) 功能性嵌段共聚物

和刷子(可光图案化、可交联等)。



图 11. 该图显示了 DSA 如何不保留目标布局, 因此需要对粗糙度和缺陷进行与节距无关的校正

(2) EUV 收集镜: 锡离子、蒸气和颗粒表征

大多数材料强烈吸收 13.5 nm 辐射, 因此使用 EUV 光进行图案化带来了许多新的挑战。由于强烈的材料相互作用, 这需要在真空中使用镜子而不是透镜来产生和引导光。初始等离子体集光镜是凹形和椭球形的, 等离子体在第一个焦点处产生。在第二个或中间焦点处, 等离子体光被引导至曝光工具(图 12)。整个收集区域的波长匹配和红外光谱过滤是多层收集镜的关键特性。

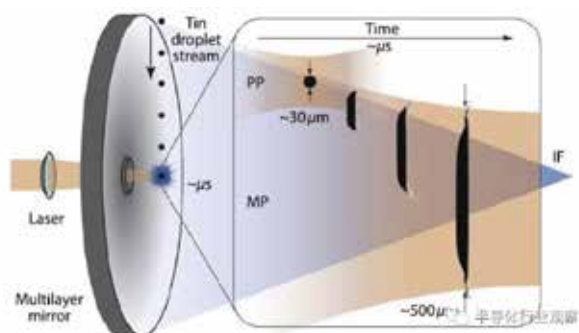
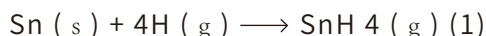


图 12. 显示用近正入射多层反射镜收集的 EUV 概念的图表

此外, 产生足够数量的 EUV 辐射极其困难, 因此必须努力确保镜子具有尽可能高的反射率和空间均匀性。此外, 多层反射镜的反射率在光刻工具的操作期间必须保持高。光刻工艺涉及将图案暴露于光刻胶, 光刻胶存储图案以供进一步处理(第 2.4.1 节)。EUV 辐射会导致光刻胶发生化学变化, 从而产生挥发性化合物, 这些化合物可能会通过真空系统迁移并吸附到表面上。尽管光刻胶会影响镜面, 但这对于收集镜来说并不是主要问题。业内人士表示, 影响收集镜的两种主要碎片类型是(1) 直接来自等离子体的碎片, 其中热量和动量传递到周围的缓冲 H₂ 气体中;(2) 在与任何表面碰撞之前, 进入收集器的锡助熔剂, 该助熔剂由 (i) 停止的离

子的扩散、(ii) 锡蒸气和 (iii) 锡微粒组成。

目前用于保护收集镜免受碎片影响的方法是通过氢气流。约 100 Pa 的氢气缓冲气体会导致离子减速。氢气从收集器流出, 这降低了原子锡在收集器上的沉积速率。H 自由基与锡反应形成锡烷 (SnH₄), 可以根据方程式(1)所示的反应将其抽走。



在带有真空泵以去除热气体和锡蒸汽的容器中发生的抽气动作也有助于保护收集镜。此外, 内部硬件会收集微粒。业界已对镜子的清洁进行了研究以解决污染问题。业界为提高收集器反射镜的使用寿命所做的努力已经取得了进展, 特别是 2021 年的使用寿命超过 6 个月。

即使在保护 EUV 收集镜方面有了这些重大改进, 业内人士仍表达了两个需求。首先, 了解“光子和等离子体物质如何与 EUV 光源中的背景气体、光学和等离子体表面相互作用?” 有限的知识差距包括次级等离子体及其相互作用、传输和光谱、等离子体辐射壁物理化学和等离子体诊断。其次, 了解“锡会发生什么以及如何对其进行管理?” 这里的知识差距包括锡污染、锡的氢自由基清洁、锡烷形成过程以及相关的热和质量传输和化学、小颗粒检测。

五、EUV 光作为分析工具

使用 EUV 光作为分析技术的三种方法是 (1) 高次谐波发生 (2) 同步加速器 (3) 原子探针断层扫描。高次谐波产生具有紧凑的占地面积, 可以部署在研发和制造设施中, 并可以连续获得在同步加速器光源上常规进行的深纳米级微电子器件的尺寸、材料和动态特性。同步加速器光源允许研究 EUVL 的许多方面, 并具有研究收集镜退化的附加功能。原子探针断层扫描是唯一能够提供周期表中任何元素的亚纳米同位素分辨原子级元素图的 3D 化学测绘技术, 这对于研究 EUV 光刻胶可能很有用。

(1) 高次谐波发生 (HHG)

随着 EUVL 将光刻特征进一步推向深纳米级层次, 微电子行业正在呼吁新的测量和计量技术。NIST 正在进行一项计划, 利用 EUV 的短波长来探

测深纳米级微电子器件的尺寸、材料和动态特性。NIST 的高谐波发生 (HHG) 光源是宽带(跨越 20-100 eV 光子能量)、超快(20 飞秒脉冲)和相干(类激光)光源。宽带光谱可以实现许多微电子相关材料中的原子核跃迁,从而揭示元素和层的特定测量。图 13 展示了这一点。这种测量通常在同步加速器光源下进行。然而,HHG 源的紧凑占地面积允许在研发和制造设施中部署并连续访问。图 14 显示了 NIST 物理材料实验室 (PML) 当前系统运行的照片,适合典型的实验室空间。

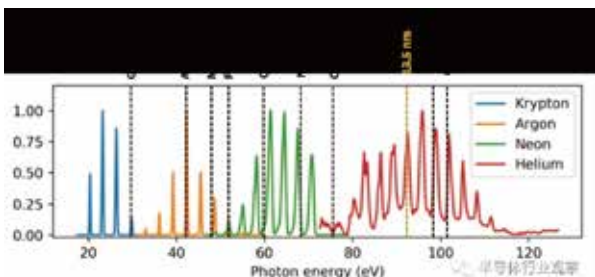


图 13. NIST 高次谐波发生源的光子能量输出光谱以及相关材料中几个原子核心能级跃迁的位置

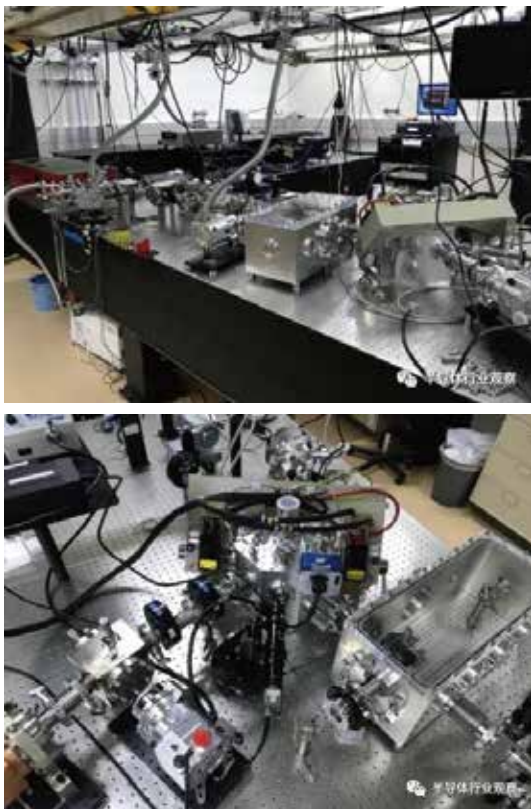


图 14. NIST 的 HHG 源及其附属仪器的照片

短脉冲宽度能够动态测量自旋和热传输。最近的一项成功实验是开发了与 EUV 脉冲同步的频率梳发生器,其抖动优于两皮秒。图 15 演示了这种

与 40 GHz 信号的同步。这比同步加速器所能达到的效果大约好一个数量级,并且允许我们在微电子设备的工作频率下进行测量。这使得能够实时测量功能器件内部和外部的热流和自旋传输。

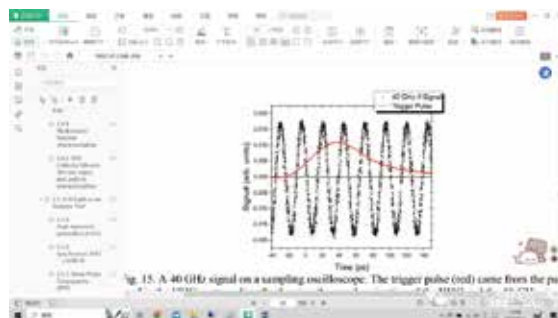


图 15. 采样示波器上的 40 GHz 信号。触发脉冲(红色)来自 HHG 系统中使用的脉冲,直接显示 HHG 和 40 GHz 信号的同步

最后,光的相干性使得无透镜成像技术成为可能,例如相干衍射成像、叠层照相技术和全息术,可在 EUV 波长下提供空间分辨率。此功能将使 NIST 能够直接对功能设备进行成像。尽管这项工作不是 NIST 完成的,但图 16 显示了将叠层记录术与反射测量法相结合,以横向空间分辨率测量硅中的掺杂剂分布的结果。这种方法可以对微电子中的界面和掺杂剂分布进行无损评估。

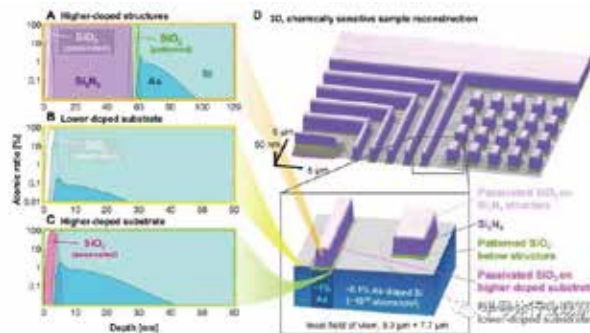


图 16. 使用组合反射测量和叠层描记技术对掺杂剂分布进行 3D 纳米级表征的示例

(2) 同步加速器: NIST 的 SURF III

当带电粒子沿弯曲路径行进时,会发射同步辐射。由于大多数加速器使用磁场来弯曲粒子轨迹,因此同步加速器辐射也称为磁致辐射。发射的光谱是从微波(驱动射频场的谐波)到 X 射线光谱区域的宽带。辐射是垂直准直和偏振的。如果电子能量 E 、弯曲半径 ρ 、电子电流 I_B 、相对于轨道平面的角度 ψ_0 、到切点的距离 d 、垂直方向 $\Delta\psi$ 和水

平方向接受度 $\Delta\theta$ 为已知,则可以计算同步辐射输出。SURF的输出功率如图17所示。

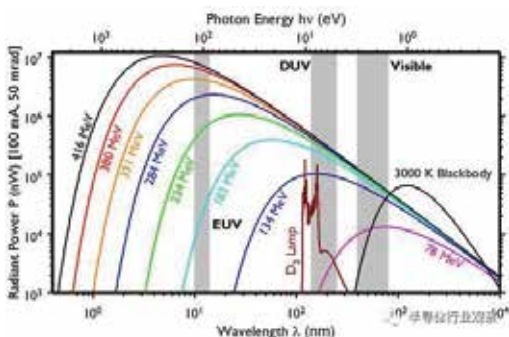


图 17. 与 3000 K 黑体和氙灯进行相比, SURF 在 416 MeV、380 MeV、331 MeV、284 MeV、234 MeV、183 MeV、134 MeV 和 78 MeV 处发射的同步辐射光谱

反过来,NIST 的紫外线辐射小组将 SURF III 作为辐射测量和研究的稳定光源。SURF 涵盖从远红外到软 X 射线的波长范围。表 1 概述了 NIST SURF III 的当前功能和光束线的未来计划。业界指出,同步加速器光源不适用于大批量制造 (HVM) 环境中的 EUV 光源。尽管如此,同步加速器设施可能是有利的,因为它可以灵活地测试许多参数,以协助 EUVL 行业实现 HVM 目标,如本报告前面部分(2.2 和 2.4.2)所述。应该注意的是,某些波长系统的定义和术语会重叠并且可能不一致,因此应参考 ISO 21348 标准作为一般指南。

表 1. NIST SURF III 的同步加速器光束线当前能力和未来计划

(3) 原子探针断层扫描 (APT)

原子探针断层扫描 (APT) 是唯一能够提供周期表上任何元素的亚纳米同位素分辨原子级元素图的 3D 化学测绘技术。在图 18 中,给出了 APT 操作的图表,有关 APT 的更多背景信息,请读者参

阅该主题的最新综述。

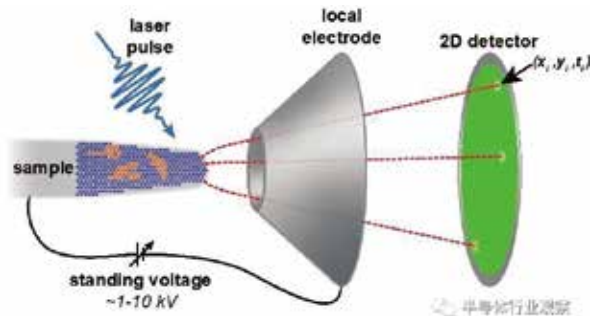


图 18. 位于科罗拉多州博尔德市 NIST 的原子探针断层扫描 (APT) (上) APT 操作示意图 (下)

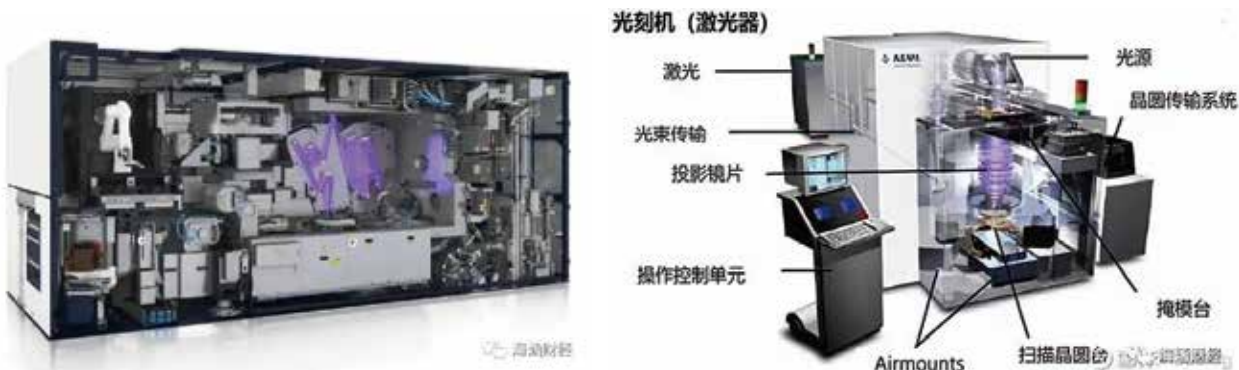
照片

商用 APT 仪器采用近紫外 (NUV:3.5 eV) 或深紫外 (DUV:4.8 eV) 激光辐射,其低于许多材料的功函数和大多数元素的电离能。因此,这些仪器很可能通过对所研究的样本进行大量加热来运行。事实上,对于有机材料的分析,来自 NUV 仪器的数据通常很复杂,显示出有问题的碎片模式、场蒸发过程中聚合的证据,以及无法直接解释为原子尺度图的结果。相比之下,EUV (20-90 eV) 辐射的能量足以电离样品表面的原子和分子,可能产生更小的、可直接解释的碎片模式。NIST 的方法是将 EUV APT 应用于薄膜光刻胶的研究,以寻找可能导致光刻不规则性随机性质的纳米级成分波动,包括 LER。因此,EUV APT 代表了研究与光刻胶加工和成分化学相关的随机事件的关键计量学进步。

(来源:NIST)

光刻机各环节的国产化情况

光刻机是制造芯片的核心装备，制造难度极大，被誉为世界上最精密的仪器，也是一种半导体工业中常用的设备，用于将电路图案转移到半导体芯片上，其精确度和性能对于芯片制造的成功至关重要。



1、光刻机整机方面：国产 90nm 已攻克,推进 28nm

光刻技术是在特定波长的光照作用下，借助光刻胶将光掩模上的图形转移到基片上的技术工艺。从工艺原理上来看，光刻工艺首先光源穿过光掩模，并通过透镜使得光掩模缩小，最终使光落于覆盖有光刻胶的基板上；在此过程中，光掩模遮盖区域的光刻胶底片不会变硬，在刻蚀过程中被剥落，从而完成对底片的雕刻。由于光刻工艺的一般流程包括涂胶、曝光、显影等核心过程，分别涉及涂胶机、光刻机和显影机。其中，光刻机由于技术壁垒高、单台成本高，为光刻工艺中最为重要的设备。

表1: 光刻机技术发展路线

技术阶段	光源	波长	对应设备	最小工艺节点	特点
第一代	UV	g 线	接触式光刻机	800-250nm	避免污染，掩模使用寿命短
			接近式光刻机	800-251nm	成像精度不高
第二代	UV	i 线	接触式光刻机	800-252nm	避免污染，掩模使用寿命短
			接近式光刻机	800-253nm	成像精度不高
第三代	DUV	KrF	扫描投影式光刻机	180-130nm	投影式光刻机大幅增加掩模使用寿命
第四代	DUV	ArF	步进扫描投影式光刻机	130-65nm	最具代表性的光刻机，但仍面临 45nm 制程下分辨率问题
			浸没式步进扫描投影式光刻机	45-7nm	

表2: 光刻机主要结构

设备及材料	功能
测量台与曝光台	承载硅片的工作台，一般光刻机只有 1 个工作台，需要先测量，后曝光，ASML 的双工作台技术实现测量与曝光同时进行
激光源	光源，光刻机核心设备之一
光源矫正器	矫正光源射入方向，让激光束尽量平行
光源形状设置	设置光束为圆形、环形等不同形状
遮光器	不需要曝光时，阻止光源照射到硅片控制透镜照射到硅片上的能量使光源最终入射能量是否符合曝光要求刻有线路设计图的准确性，贵的要数十万美元
能量控制器	控制最终照射到硅片上的能量
能量探测器	检测光源最终入射能量是否符合曝光要求
掩模版	刻有线路设计图的玻璃板，贵的要数十万美元
掩模台	承载掩模版运动的装置，运动控制精度为 nm 级
光刻胶	一种有机化合物，经曝光后，在显影液中的溶解度会发生变化
涂胶显影	配合光刻机完成晶圆的光刻胶涂覆、固化、显影等
光刻气体	是光刻机产生深紫外激光的光源，不同气体能产生不同波长的光源，影响光刻机的分辨率和曝光速度

根据 SEMI 预测，2022 年光刻机占半导体设备市场份额达 23%，市场规模 232.3 亿美元。其中，全球光刻机三大巨头 ASML/Canon/Nikon 光刻机营收分别为 161/20/15 亿美元，市场份额达 82%/10%/8%；出货量分别为 345/176/30 台，市场份额 63%/32%/5%。

从 EUV、ArFi、ArF 三个高端机型的出货来看，ASML 仍维持领先地位，出货量分别占 100%/95%/87%，中国内地占 ASML 销售额 14%。上海微电子光刻机技术在国内领先，目前已可量产 90nm 分辨率的 ArF 光刻机，28nm 分辨率的光刻机也有望取得突破。光刻机主要就是由激光光源、物镜系统以及工作台这三个核心部分组成，它们之间相互配合就是为了完成更为精确的光刻，数值越小芯片性能也就越强，当然难度也就大。

表3: 上海微电子产品管线

类型	系列	型号	分辨率	曝光光源	硅片尺寸
IC 前道制造	600 系列光刻机	SSA600/20	90nm	ArFexcimerlaser	200mm 或 300mm
		SSC600/10	110nm	KrFexcimerlaser	200mm 或 300mm
		SSB600/10	280nm	i-line/mercury lamp	200mm 或 300mm
IC 后道先进封装	500 系列光刻机	SSS500/40	2μm	g-hi-line/gh-line/i-line/mercury lamp	200mm/300mm
		SSS500/50	1μm	g-hi-line/gh-line/i-line/mercury lamp	200mm/300mm
LED、MEMS、PowerDevices 制造	300 系列光刻机	SSS300	0.8μm	i-line/mercury lamp	
		SSS320	2μm	i-line/mercury lamp	
		SSS380	1.5μm	i-line/mercury lamp	
		SSS225/10			
TFT 曝光	200 系列光刻机	SSS225/20			
		SSS245/10			
		SSS245/20			
		SSS260/10F			

2, 激光光源: 浸没式 193nm 准分析激光器突破, EUV 有新进展。

光刻机主要就是由激光光源、物镜系统以及工作台这三个核心部分组成, 它们之间相互配合就是为了完成更为精确的光刻, 数值越小芯片性能也就越强, 当然难度也就大。就激光光源来说, 为了实现更精确的光刻, 提高分辨率, 减少光源波长是重要手段。

表4: 光刻机发光源/光源波长及对应制程情况

第几代光刻机	发光源	光源波长	制程
1-2	汞灯	436nm g-line 和 365nm i-line	0.8-0.35μm
3	KrF (氟化氪) 准分子激光	248nm	350-180nm
4	ArF (氟化氩) 准分子激光	193nm	65nm

光源系统发展到今天, 主流的 EUV 光源已确定为激光等离子体光源 (LPP), 目前只有两家公司能够生产: 美国的 Cymer (2012 年被 ASML 收购) 和日本的 Gigaphoton。

国产进度: 中国科益虹源公司自主研发设计生产的首台高能准分子激光器, 以高质量和低成本的优势, 填补中国在准分子激光技术领域的空白, 其已完成了 6kHz、60w 主流 ArF 光刻机光源制造, 激光器上的 KBBF 晶体由中科院旗下的福晶科技提供。同时, 科益虹源也是上海微电子待交付的 28 纳米光刻机的光源制造商。

表5: 光刻机国产光源领域进展及产品情况

公司/机构名	技术领域	产品
科益虹源	准激光光源	248nm 准分子激光器、干式 193nm 准分子激光器、浸没式 193nm 准分子激光器
福晶科技	准激光光源	KBBF 晶体 (用于激光设备的上游关键零部件)
中科大	准激光光源	40W 干式准激光光源
哈工大	极紫外光源	12W DPP-EUV 光源
清华大学	极紫外光源	SSMB 光源
中科院	极紫外光源	高能同步光源设备

3, 物镜系统: 与海外差距较大, 突破 90nm

物镜是光刻机中最昂贵最复杂的部件之一, 二十余枚镜片的初始结构设计难度极大——不仅要控制物镜波像差, 更要全面控制物镜系统的偏振像差。

外界都知道 ASML 对于半导体产业链的重要性, 而德国拥有一家对于 ASML 极其重要的公司, 卡尔蔡司。ASML 与卡尔蔡司合作超过三十多年。卡尔蔡司是 ASML 透镜, 反射镜, 照明器, 收集器和其他关键光学元件 (即光学元件) 的唯一供应商。ASML 与卡尔蔡司成了独家协议, 如果卡尔蔡司无法维持和提高生产水平, ASML 可能无法履行订单。

在光学镜头方面, 尽管与卡尔蔡司、尼康等公司还有非常大的差距, 但奥普光学提供的镜头已经可以做到 90nm。

表6: 光刻机国产光学系统情况

公司/机构名	产品
长春国科精密	90nm EUV 镜头, 高端光刻机曝光光学系统, 日盲紫外探测模组, 高端光学检测产品
长春光机所	32nm EUV 镜头
国望光电	90nm 节点 ArF 光刻机曝光光学系统, 110nm 节点 KrF 光刻机曝光光学系统
中科科仪	直线式劳埃透镜镀膜装置, 纳米聚焦透镜镀膜装置
奥普光学	镜头可以做到 90nm

4,双工作台：突破 10nm

高端光刻机都采用了双工作台，如此一来，一个工作台负责测量，另一个工作台可以曝光晶圆，完成后，两个工作台交换位置，从而提高 3 倍以上的生产效率。双工作台技术难度很高，精确度要求极高（高速运动下保持 2nm 精度），能够掌握该项技术的只有荷兰 ASML。有媒体传出清华大学和华卓精科合作研发出光刻机双工作台，精度为 10nm，虽然比不上 ASML 的水平，但也算填补了国内空白。

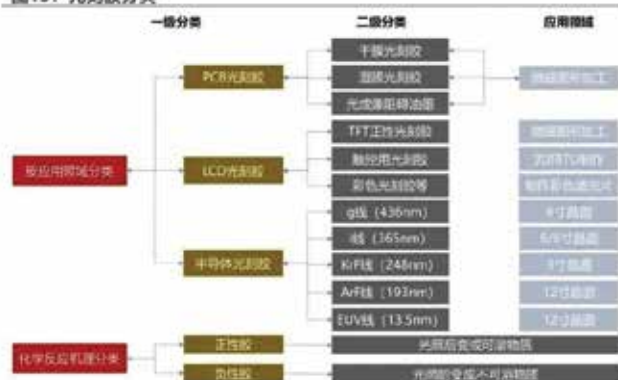
5, 沉浸系统：突破 ArFi

目前，国产光刻机还处于 DUV 阶段。而 DUV 光刻机也分三类，即 KrF、ArF、ArFi。前两种已经突破，国产最高可做到 90nm，可满足国内重要机构使用，不受国外限制。现在我们正在努力的就是 ArFi 光刻机（波长等效 134nm），多出的这个 i 代表加入了沉浸式技术，一旦能够实现突破，那么就等于迈进了 DUV 光刻机中的高端行列。ArFi 沉浸式光刻机最关键的就是这个沉浸式技术，ArF 波长为 193nm，加入沉浸式技术后就可以达到 134 nm。而近些年国内企业启尔机电在浸液控制系统上取得了重大突破。

6, 光刻胶：KrF 已突破, ArF 待突破

光刻胶又称光致抗蚀剂，是在通过紫外光、电子束、离子束、X 射线等照射或辐射后，其溶解度会发生变化的耐蚀剂刻薄膜材料。根据下游不同的应用，光刻胶可分半导体光刻胶（24%）、LCD 光刻胶（27%）、PCB 光刻胶（25%）以及其他光刻胶（24%）。

图15：光刻胶分类



目前全球的光刻胶生产企业主要集中在日本与美国，在最为尖端的 ArF 干法光刻胶、ArF 浸没式光刻胶和 EUV 光刻胶产品领域，日本与美国厂商拥有绝对的垄断地位，而我国在这些尖端半导体光刻胶产品上虽有一定的技术储备和产品验证，但是在量产层面完全处于空白。

我国半导体光刻胶对外依赖程度达 80% 以上。尤其是国产高端半导体光刻胶非常稀缺。据晶瑞股份公告数据显示，适用于 6 英寸晶圆的 g/i 线光刻胶自给率为 20%，适用于 8 英寸晶圆的 KrF 光刻胶自给率小于 5%，适用于 12 英寸晶圆的 ArF 光刻胶目前基本靠进口。

表7：部分国产光刻胶参与企业进展近况

时间	公司	购入光刻机情况	应用制程
2020年4月	南大光电	ASML 193nm 二手浸没式光刻机	研发 193nm ArF 浸没光刻胶
2021年1月	晶瑞电材	ASML XT 1900 Gi 二手第四代浸入式光刻机	研发 28nmArF 浸没光刻胶
2021年3月	上海新阳	ASML-1400 二手光刻机	研发 193nm ArF 干法光刻胶
2021年3月	上海新阳	ASML XT 1900 Gi 二手第四代浸入式光刻机	研发 28nmArF 浸没光刻胶
2021年5月	南大光电	-	ArF 光刻胶已拿下第一笔订单，制程工艺可满足 45nm-90nm 光刻需求
2021年12月	南大光电	-	其 ArF 193nm 已经通过了客户的使用认证，可用于 45nm 工艺
2021年12月	上海新阳	-	在 ArF 干法光刻胶和 KrF 厚膜光刻胶研究上获得了成功，预计 2022 年量产 KrF 248nm 厚膜光刻胶，2023 年全面量产 ArF 193nm 干法光刻胶

7, 涂胶 / 显影设备：国产突破 28nm

涂胶显影设备是光刻工序中与光刻机配套使用的涂胶、烘烤及显影设备。

全球前道涂胶显影设备销售额由 2013 年的 14.07 亿美元增长至 2018 年的 23.26 亿美元，年均复

合增长率达 10.58%，智研咨询预计 2023 年将达到 24.76 亿美元；中国前道涂胶显影设备销售额由 2016 年的 8.57 亿美元增长到 2018 年 8.96 亿美元，2023 年将达到 10.26 亿美元。

根据 VLSI Research 数据，2019 年全球集成电路制造前道晶圆加工领域用涂胶显影设备市场主要被日本 TEL 所垄断，占比超过 91%，芯源微占比约为 0.7%；2020 年 TEL 的全球市场占比约 87%。

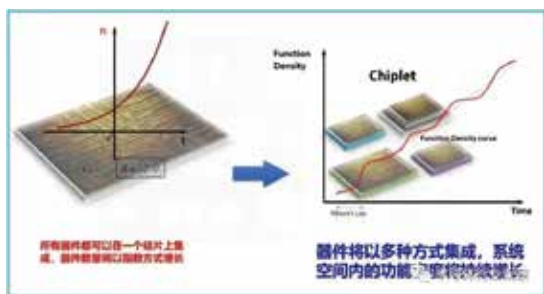
涂胶显影领域国内龙头为沈阳芯源微，成立于 2002 年，是由中科院沈阳自动化研究所发起创建的国家高新技术企业，公司主要从事半导体专用设备的研发、生产和销售，产品包括光刻工序涂胶显影设备（涂胶 / 显影机、喷胶机）和单片式湿法设备（清洗机、去胶机、湿法刻蚀机）。2022 年，公司披露在 28nm 及以上节点的光刻涂胶显影工艺上可实现全面国产替代，目前在客户端已完成验收。

（来源：半导体国产化）

Chiplet 迎来新突破

高昂的研发费用和生产成本，与芯片的性能提升无法持续等比例延续。为解决这一问题，“后摩尔时代”下的芯片异构集成技术——Chiplet 应运而生，或将从另一个维度来延续摩尔定律的“经济效益”。

Chiplet 也称作“芯粒”或“小芯片”，它是将原本一块复杂的 SoC 芯片，从设计时就按照不同的功能单元进行分解，然后每个单元选择最适合的制程工艺进行制造，再通过先进封装技术将各个单元彼此互联，就像“乐高积木”一样封装为一个 SoC 芯片。



Chiplet 的优势可以归结为几个方面：

1) 大幅提高大芯片良率。近年来，随着高性能计算、AI 等方面的运算需求，集成更多功能单元和更大的片上存储使得芯片不仅晶体管数量暴增，芯片面积也急剧增大。芯片良率随着芯片面积的增大而下降，掩模尺寸 700mm² 的设计通常会产生大约 30% 的合格芯片，而 150mm² 芯片的良品率约为 80%。因此，通过 Chiplet 设计将大芯片分成更小的芯片可以有效改善良率，同时也能够降低因为不良率而导致的成本增加。

2) 降低设计的复杂度和设计成本。因为如果在芯片设计阶段，就将大规模的 SoC 按照不同的功能模块分解为一个一个的 Chiplet，那么部分 Chiplet 可以做到类似模块化的设计，而且可以重复运用在不同的芯片产品当中。这样不仅可以大幅降低芯片设计的难度和设计成本，同时也有利于后续产品的迭代，加速产品的上市周期。

3) 降低芯片制造成本。一颗 SoC 中有不同的计算单元，同时也有存储、各种 I/O 接口、模拟或数模混合元件，这其中主要是逻辑计算单元通常依赖于先进制程来提升性能，而其他的部分对于制程工艺的要求并不高，有些即使采用成熟工艺，也能够发挥很好的性能。所以，将 SoC 进行 Chiplet 化之后，不同的芯粒可以根据需要来选择合适的工艺制程分开制造，然后再通过先进封装技术进行组装，不需要全部都采用先进的制程在一块晶圆上进行一体化制造，这样可以极大的降低芯片的制造成本。在多种优势因素及市场趋势驱动下，AMD、台积电、英特尔、英伟达等芯片巨头以及众多国内外相关企业嗅到了市场机遇，近年来开始纷纷入局 Chiplet。

在多种优势因素及市场趋势驱动下，AMD、台积电、英特尔、英伟达等芯片巨头以及众多国内外相关企业嗅到了市场机遇，近年来开始纷纷入局 Chiplet。

在这个过程中，互连成为 Chiplet 走向的决定因素之一。

Chiplet互联现状

多年来，业内一直在寻找一种“真正的互连”，以便在芯片组中实现从裸片到裸片 (Die-to-Die) 的通信，更好的完成数据存储、信号处理、数据处理等丰富的功能。如何让芯粒之间高速互联，是Chiplet技术落地的关键，也是全产业链目前面临的一大全新挑战。

芯片设计公司在设计芯粒之间的互联接口时，首要保证的是高数据吞吐量。另外，数据延迟和误码率也是关键要求，还要考虑能效和连接距离。

到目前为止，已经成功商用的Die-to-Die互连接口协议多达十几种，主要分为串行接口协议和并行接口协议。串行接口及协议有LR、MR、VSR、XSR、USR等SerDes串行互连技术，PCIe、NVLink，用于Cache一致性的CXL、CCIX、TileLink、OpenCAPI，以及中国Chiplet产业联盟 (CCLL) 推出的ACC接口标准等；并行接口及协议有AIB/MDIO (Intel)、LIPINCON (TSMC)、Infinity Fabric (AMD)、OpenHBI (Xilinx)、BoW (OCP ODSA)、INNOLINK (Innosilicon)，以及用于存储芯片堆叠互联的HBM接口等...

比较而言，串行接口一般延迟比较大，而并行接口可以做到更低延迟，但也会消耗更多的Die-to-Die互连管脚，而且因为要尽量保证多组管脚之间延迟的一致，所以每个管脚不易做到高速度。

可以看到，这些芯片巨头们在积极探索Chiplet技术，但同时大家又各自为战，推动自己的高速互联协议标准。

目前市面上部分现有互联标准对比如下：

Standard	Owner	Throughput (Gbps)	Latency	Power Efficiency	Package Types
AIB	Intel	2	<5ns	0.85pJ/bit	Bridge
HBM	JDEC	6.4	<5ns	0.37pJ/bit	2.5D
OpenHBI	OCP-ODSA	8	<5ns	0.4pJ/bit	2D, 2.5D
Lipincon	TSMC	2.8	<14ns	0.48pJ/bit	2.5D
BoW	OCP-ODSA	16	<5ns	0.7pJ/bit	2D, 2.5D
Infinity Fabric	AMD	16	<9ns	2pJ/bit	2D
XSR/USR	OIP	112	>10ns	1pJ/bit	2D
ACC	CCLL	32/64/128	<5ns	2.7pJ/bit	2D, 2.5D, Bridge, Intra-Die
Tile	Intel	32	<5ns	0.5pJ/bit	2D, 2.5D, Bridge, Intra-Die

有观点指出，不同工艺、功能和封装的芯片之间没有统一的通信接口，会造成严重的资源浪费。

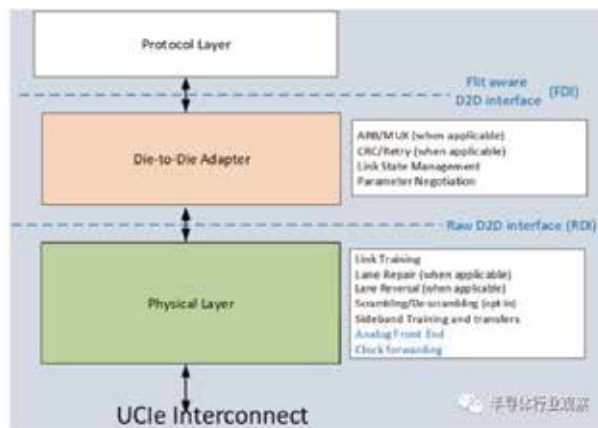
对此，清华大学交叉信息研究院助理教授、北极雄芯创始人马恺声表示，在不同应用场景中

Chiplet的组合形式可能是多样化的，例如需要传输的数据形态及特点、对延迟/误码等指标的容忍度、对封装的要求、量产成本的考虑等可能均有所不同，因此Die to Die接口作为芯粒之间实现数据传输的“桥梁”，可能在不同应用场景中亦有不同的优化方向。

他指出，我们看到业界所谓“各自为战”的状态，其实更本质反映的是不同产品场景互联的差异化需求；比如苹果在M1/M2 Ultra上自研的Ultra-fusion方案、英伟达的NVLink方案等等都是芯片厂商与封装厂商共同深度研发的成果，但目前也均以满足自身产品性能需求为首要目的。不同的互联标准，在信号模式、传输速率及带宽、封装规格等方面均有所不同，背后均体现了在特定领域优化的方向。

在众多互联标准中，Intel提出的通用Chiplet互联标准UCIe成为行业中比较受关注的焦点。

UCIe是一种分层协议，它指定了物理层、die-to-die适配层和协议层：



UCIe标准的推出旨在助力Chiplet从“清谈”向“实操”迈进，从“各家各户自说自话”向“组队厮杀迈进”。希望巨头们合力搭建起统一的Chiplet互联标准，让终端使用者打造SoC芯片时，可以自由搭配来自多个厂商生态系统中的小芯片，加速推动开放的Chiplet平台发展。

但从目前实际进展来看，几乎所有基于Chiplet设计的共同点是它们都是在一家公司内完成的。这与每个人都希望能够从小芯片商店 (Chiplet store) 的货架上挑选他们想要的小芯片，然后通过SiP封装来工作的理想情况相差甚远。

北极雄芯表示，UCIe标准协议推出的现时意义在于两个方面：一是众多一线大厂的入局推动后摩尔时代技术路线的走向，二是为众多芯片设计厂商在Chiplet架构上带来了一个可选的方案。初期的助力效应是明显的，我们已经看到一些企业从UCIe接口IP、封装方案等不同维度开始投入研发，但产业生态的成熟需要历经必不可少的周期迭代。同时，基于UCIe依赖先进工艺、互连距离约束大等限制因素，UCIe可以在小圈子、限定场景内有一定的统一性，但难以直接适用于整个Chiplet生态上。

Chiplet技术的关键除了互连，还在于封装。

随着Chiplet技术的发展终究会使小芯片间的互连达到更高的密度，要应对先进封装功能和密度的不断提升，散热、应力和信号传输等都是重大的考验。目前头部的IDM厂商、晶圆代工厂以及封测企业都在积极推动不同类型的先进封装技术，以抢占这块市场。

在芯片尺寸不断增大、架构变得复杂的情况下，封装结构由原先的二维发展至三维。按封装介质材料和封装工艺划分，Chiplet的实现方式主要包括以下几种：MCM、2.5D封装、3D封装。目前台积电拥有CoWoS/InFO、英特尔拥有EMIB、Foveros 3D等，Chiplet使用的先进封装多种多样，且新的封装形式和结构还在不断演进。

但是在高性能、短距离互连领域，一般要通过Interposer(中介层)或者Silicon Bridge(硅桥)进行互连，封装成本比较高。例如，在片间互连中的高线密度可能要求使用支持高线密度的基板或桥接技术。高带宽存储器(HBM)的启用可能是这一趋势的最好证明——因为HBM只能与ASIC集成在同一个封装中，而且此时只能在2.5D的硅中间层配置中集成。

虽然硅基封装技术已经发展为批量制造解决方案，但成本和复杂性可能会阻止它们成为大多数低端应用的解决方案。

Chiplet互连技术，迎来新突破

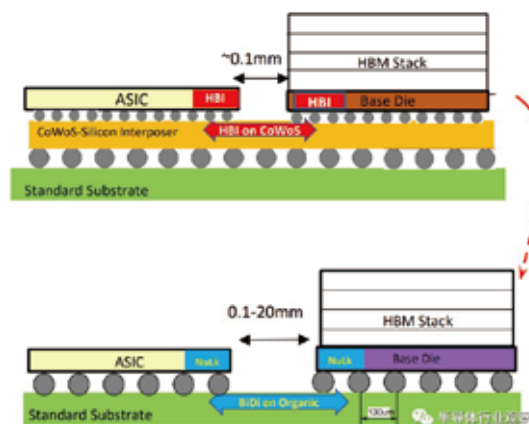
迄今为止，业界领先的小芯片互连需要先进封装和昂贵的硅中介层。

而Eliyan 凭借其 Nulink 技术，可以为 die-to-die 互连在各种封装衬底上提供功耗、性能和成本的优势方案。因为这种 PHY 接口可以让不同的裸片直接在有机衬底上实现高速互连，而不必采用 CoWoS、EMIB 或硅中介层等昂贵的先进封装方式，在降低成本的同时加速产品制造周期。

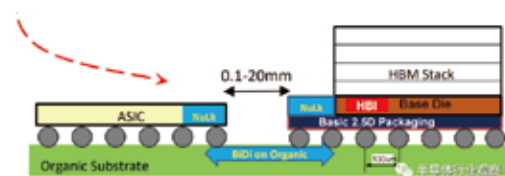


左边是当今常见的使用硅中介层的 Chiplet 互连方法；右边是 Eliyan 的 NuLink 技术，可以以卓越的带宽实现小芯片互连，而无需硅中介层。

可见，NuLink 通过简化系统设计降低了系统成本。更重要的是，Eliyan 可以增加芯片之间的距离，对于生成式 AI，NuLink 为每个 ASIC 提供更多的 HBM 内存，从而提高了配备 HBM 的 GPU 和 ASIC 的内存密集型应用程序的性能。



Eliyan 最近还展示了其 NuLink PHY 的第一个工作芯片，该芯片采用 5nm 标准制造工艺实现，可以让 Chiplet 与不同工艺的裸片实现混搭，不需要硅中介层等先进封装技术。

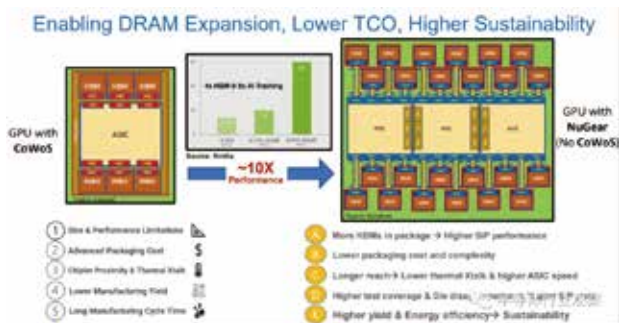


NuGear 消除了对大型硅中介层的需求，该芯片符合现有的 UCIe 规范，并且能够超越当前规范的范围，以 40Gbps 的速度运行，在标准有机封装上以 130um 节距提供超过 2.2Tbps/mm 的带宽，同时满足严格的功耗和面

积要求目标。高面积效率的 NuLink PHY 受到凸块限制，一旦在可用的标准封装技术上以更精细的凸块间距实现，利用其创新的干扰消除技术，可以提供高达 3Tbps/mm 的传输速度。

有业内人士表示，硅中介层的最大尺寸约为 3300mm²，考虑到处理技术的尺寸限制，现在每个 SoC 只能使用 6 个 HBM3 块。而 Nulink 有机基板的尺寸可以达到原来的三四倍，同时提供相同或更好的功率效率和带宽。这导致成本更低、制造速度更快，每个封装的计算能力更强。

例如，NVIDIA 可以提供具有 40GB 和 80GB HBM 两种型号的 A100 GPU，并表明较大的内存可提供 3 倍的性能优势。利用 NuLink 可将 HBM 数量增加两倍，达到 160GB。假设 AI 训练中的内存优势呈线性扩展，采用 NuLink 的性能将再次提高三倍。与此同时，NuLink 还为 HBM DRAM 提供卓越的散热性能，消除了 HBM-ASIC 之间的热串扰，允许 ASIC 时钟速度提高 20%，以及更简单/低成本的冷却。



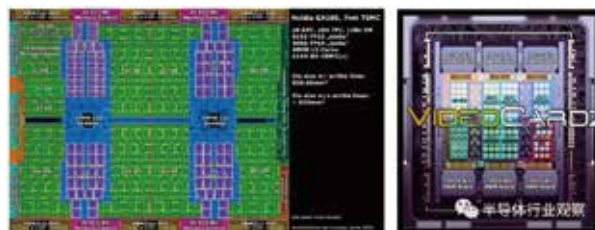
总结来看，Eliyan 消除了对先进封装的需求，例如小芯片设计中的硅中介层尺寸有限、成品率低、成本高、难以冷却、供应链有限等所有相关限制和复杂性。NuLink 技术能够实现 DRAM 扩展、节约材料成本、提高产量并缩短芯片上市时间等优势。

Eliyan 认为，其小芯片互连产品可以超越英特尔和台积电等芯片巨头的先进封装技术，或者有望成为英特尔、台积电的最佳选择，从而实现下一波高性能芯片架构。NVIDIA、Intel、AMD 和 Google 等公司可以授权 NuLink IP，或从 Eliyan 购买 NuGear 小芯片，以消除硅中介层尺寸限制带来的性能瓶颈，使他们能够实现更高性能的 AI

和 HPC SoC。

北极雄芯对于 Eliyan 的创新技术表示认同，从大趋势来说，这个技术是很直观且正确的方向之一，由于带宽 = 线数 × 线速，当线的速率较高时，就可以减少对互连线密度的需求，从而可以从 2.5D 的封装要求切换到 2D 上。北极雄芯的 D2D 互连也是这样的出发点。

但马恺声也强调：“针对 Eliyan 的方案也还是有额外的考虑。HBM 传统是下图的方式：基于 HBM PHY，然后在 Interposer 上与 HBM Stack 互连，互连具体位置在 HBM Stack 底部的一颗 Base Die，上面有 HBM PHY 与 SoC 芯片的 PHY 互连。由于互连线数多达 1024 根线，所以在 HBM 方案诞生时就采用 Interposer 2.5D 的封装来提供 40μm 级别的互连密度。而当采用 2D 封装，必然需要增大线速来换取更低的线密度需求。但速率的增加对于 PHY 的设计会引入显著的额外延时和能耗。”



因此，Eliyan 的方案是维持了带宽的性能，但是牺牲了 HBM 低延时、低能耗的优势。此外，它这种方式需要重新设计 HBM 的 Base Die，这对于方案的推广也是存在难题。

综合来看，无论是哪种互联技术，都各有优劣，都需要根据实际需求来进行设计和选择。因为在实际应用领域中，不同场景的数据传输特点带来对所采用接口技术及封装技术的较大需求差异。例如：

① CPU 等通用计算场景中，数据传输具有随机性高、数据流结构差异大、缓存一致性要求高等特点，因此在 CPU Chiplet 集成中往往极为重视对延迟等指标的优化，采用并口传输方案，大规模走线较为依赖先进封装技术的配套支持。

② 在 GPGPU 等面向服务器领域的通用并行计算场景中，数据传输具有单次量大、数据流结构可预知性高、可提前搬运预载等特点，因此在

Chiplet 集成中需要重点对带宽等指标进行优化,可采用并口或串口方案,对先进封装亦有较高的依赖。

③ 而在特定 AI 加速场景中,又需综合考虑成本敏感度、作业环境等各方面要求,采用不同的接口技术及封装方案以满足终端用户的差异化的需求:如以智能驾驶领域为例,先进封装方案往往并不满足车规要求,而且量产成本也较高,在采用 Chiplet 异构集成时往往需考虑在成熟封装方案基础上反过来优化相应的 D2D 技术。

Chiplet 互联技术应当基于场景需求及供应链成熟度去不断迭代升级,并不一定是追求一个大一统的标准。Chiplet 发展的过程中,产业里面会有不同的公司从芯粒设计、标准开发、封装技术等角度参与进来,最终需要真正解决下游商业痛点问题,又能兼顾性能、成本等各方面因素,自然就成为了行业标准。

而在这个过程中,也给国内企业带来了新的发展机遇,近年来也有厂商在此展开动作。比如:芯动科技推出了国产自主标准的 INNOLINK Chiplet IP 和 HBM2E 等高性能计算平台技术,支持高性能 CPU/GPU/INPU 芯片和服务;为了让 IP 更具象、更灵活的被应用在 Chiplet 里面,芯原提出了 IP as a Chip (IaaS) 的理念,旨在以 Chiplet 实现特殊功能 IP 从软到硬的“即插即用”,降低较大规模芯片的设计时间和风险。

此外,早在 2020 年北极雄芯即与国内上下游共同发起了“中国 Chiplet 产业联盟”,联盟在 2023 年初推出了基于国产封装供应链优化的《芯粒互联接口标准》,旨在为 GPU、AI、大型 SoC 等高性能异构集成芯片提供高性能、低成本的互联方案,目前首个接口已经回片测试成功。

对于国内企业应该如何更好地参与 Chiplet 产业生态,北极雄芯认为,国内企业应基于国内较大的市场需求,立足于“自主可控”供应链的 Chiplet 商业落地模式更加符合现实客观环境。在产业上下游共同推动国内 Chiplet 产业生态的建立,而在这个链条中 Chiplet 芯片设计公司的作用至关重要。设计公司最贴近下游客户的需求,能够综合考虑下游场景的性能、功耗、成本敏感度等因素,准确的定义各类“芯粒”产品,从而反过来与上游 IP 厂商、晶圆厂商、封装厂商、基板厂商共同推动供应链迭代升级,实现“自主可控”的国内 Chiplet 产业生态,更具有现实意义。

结语

据 Gartner 数据统计,基于 Chiplet 的半导体器件销售收入在 2020 年仅为 33 亿美元,2022 年已超过 100 亿美元,预计 2023 年将超过 250 亿美元,2024 年将达到 505 亿美元,复合年增长率高达 98%,市场空间巨大。

基于 Chiplet 的异构集成芯片技术代表了“后摩尔时代”复杂芯片设计的研制方向。Chiplet 这种将芯片性能与工艺制程相对解耦的技术为集成电路技术的发展开辟了一个新的发展路径。但作为一种新兴技术,Chiplet 当前正处于发展阶段,能否成为一种新的 IP 产品和商业模式,甚至拯救摩尔定律的救星,关键就在于业界能否达成统一的 Chiplet 互联标准,建立起来一个开放和标准化的 Chiplet 生态。

在这个过程中,中国 Chiplet 学术界和产业界应抓住机会,在技术研发和标准制定方面加大投入,尽快掌握核心技术。此外,芯片行业参与者需要避免单打独斗,应注重生态建设,早日建立业界接受的基于 Chiplet 的异构集成技术标准,以便在未来国际竞争中占据一席之地。

(来源:半导体产业纵横)

Arm成功上市

美国当地时间9月14日, Arm正式在美国纳斯达克上市, 此次筹集资金48.7亿美元, 是2023年迄今为止最大规模的IPO。

Arm本次发行代码为“ARM”, 开盘价为每股美国存托股票56.10美元, 首次公开发行价格为51美元, 截止北京时间9月15日凌晨4点收盘价为63.59美元, 涨幅24.68%, 收盘市值为652.48亿美元。



Arm 半导体技术的崛起

Arm是一家总部位于剑桥的英国公司, 成立于1990年代初。尽管Arm不直接生产芯片, 但它开发了一种被广泛用于智能手机、平板电脑、物联网设备等各种设备中的低功耗、高性能的处理器架构。这一架构被许多芯片制造商采用, 包括苹果、三星、高通等知名公司, 使得Arm成为全球最大的芯片架构授权公司之一。

Arm的成功背后有两个关键因素: 首先, 其低功耗架构在移动设备和物联网领域具有巨大的市场潜力, 基于Arm架构的CPU在智能手机等移动设备上占比超过99%; 其次, Arm采用了一种开放式的授权模式, 允许其他公司许可其技术, 并在其基础上构建自己的芯片。这种模式促进了创新, 使得Arm架构成为全球最流行的芯片设计之一。

自成立以来, Arm架构的芯片出货量已经超过2500亿颗, 拥有超过1500万软件开发者的支持。北美、英国、欧洲、亚太地区等都建有研发运营中心。

上市的背后

Arm上市的决定引发了一系列猜测, 关于为什么这家公司要选择走上公开市场这一道路。首先, Arm的创始人和管理团队可能认为, 通过上市, 公司将能够更好地吸引资本和人才, 以继续扩大其研发和全球业务。其次, 上市将提供更大的透明度, 让投资者更容易评估公司的价值和潜力。

然而, 最引人瞩目的动机之一可能是Arm的战略定位。在全球芯片供应链中, Arm占据了关键地位, 其架构在各种设备中得到广泛应用。通过上市, Arm有望加强其地位, 进一步扩大其在半导体领域的影响力。

对全球科技产业的潜在影响

Arm的上市可能对全球科技产业带来深远的影响。首先, Arm的资本增加可能会促使更多的创新和研发, 进一步推动半导体技术的发展。这将有助于推动智能手机、物联网设备等领域的创新, 为我们的生活带来更多便利和可能性。

其次, Arm的上市可能会引发竞争的加剧。其他芯片制造商可能会加大对Arm的竞争, 寻求在半导体市场中获得更大的份额。这种竞争有望推动芯片性能的提升, 降低芯片成本, 最终使消费者受益。



最重要的是,Arm的上市将增加全球科技产业的复杂性。由于Arm的技术在全球范围内广泛应用,其经营和战略决策将对许多公司产生直接影响。因此,全球科技产业可能会面临更多的合作和竞争,以适应这一新格局。

Arm的困境与未来的发展

作为芯片业绕不过的大山,虽然Arm让全世界99%的智能手机都用上了自己设计的芯片架构,但这也意味着这一领域的业绩扩展空间相当有限,特别是考虑到全球经济放缓期间,人们对手机的需求疲软,这已反映到Arm的收入中,显示出停滞不前。2021财年-2023财年,Arm年收入分别为20.27亿美元、27.03亿美元和26.79亿美元;净利润分别为3.88亿美元、5.49亿美元、5.24亿美元。

Arm也给出了未来的发展方向:

- 1、在云计算市场中仅有10%的份额,因此这部分还有更大的扩张空间,预计到2025年,受益于人工智能,将以每年17%的速度增长。
- 2、在汽车市场占据41%的份额,有望增长16%。
- 3、占Arm收入绝大部分的特许权使用费自1990年代初开始收取以来一直在增加。最新财年的特许权使用费收入为16.8亿美元,高于上一年的15.6亿美元。Arm 2023 财年 26.8 亿美元收入中,中国销售额贡献了 24.5%。

(来源:芯片之家)



国家税务总局

State Taxation Administration

财政部 税务总局 国家发展改革委 工业和信息化部关于提高集成电路和工业母机企业研发费用加计扣除比例的公告

为进一步鼓励企业研发创新，促进集成电路产业和工业母机产业高质量发展，现就有关企业研发费用税前加计扣除政策公告如下：

一、集成电路企业和工业母机企业开展研发活动中实际发生的研发费用，未形成无形资产计入当期损益的，在按规定据实扣除的基础上，在2023年1月1日至2027年12月31日期间，再按照实际发生额的120%在税前扣除；形成无形资产的，在上述期间按照无形资产成本的220%在税前摊销。

二、第一条所称集成电路企业是指国家鼓励的集成电路生产、设计、装备、材料、封装、测试企业。具体按以下条件确定：

(一)国家鼓励的集成电路生产企业是指符合《财政部 税务总局 发展改革委 工业和信息化部关于促进集成电路产业和软件产业高质量发展企业所得税政策的公告》(财政部 税务总局 发展改革委 工业和信息化部公告2020年第45号)第一条规定的生产企业或项目归属企业，企业清单由国家发展改革委、工业和信息化部会同财政部、税务总局等部门制定。

(二)国家鼓励的集成电路设计企业是指符合《财政部 税务总局 发展改革委 工业和信息化部关于促进集成电路产业和软件产业高质量发展企业所得税政策的公告》(财政部 税务总局 发展改革委 工业和信息化部公告2020年第45号)第四条规定的重点集成电路设计企业，企业清单由国家发展改革委、工业和信息化部会同财政部、税务总局等部门制定。

(三)国家鼓励的集成电路装备、材料、封装、测试企业是指符合《中华人民共和国工业和信息化部 国家发展改革委 财政部 国家税务总局公告(2021年第9号)》规定条件的企业。如有更新，从其规定。

三、第一条所称工业母机企业是指生产销售符合本公告附件《先进工业母机产品基本标准》产品的企业，具体适用条件和企业清单由工业和信息化部会同国家发展改革委、财政部、税务总局等部门制定。

四、企业享受研发费用加计扣除政策的其他政策口径和管理要求，按照《财政部 国家税务总局 科技部关于完善研究开发费用税前加计扣除政策的通知》(财税〔2015〕119号)、《财政部 税务总局 科技部关于企业委托境外研究开发费用税前加计扣除有关政策问题的通知》(财税〔2018〕64号)等文件相关规定执行。

五、本公告规定的税收优惠政策，采用清单管理的，由国家发展改革委、工业和信息化部于每年3月底前按规定向财政部、税务总局提供上一年度可享受优惠的企业清单；不采取清单管理的，税务机关可按《财政部 税务总局 发展改革委 工业和信息化部关于促进集成电路产业和软件产业高质量发展企业所得税政策的公告》(财政部 税务总局 发展改革委 工业和信息化部公告2020年第45号)规定的核查机制转请发展改革委、工业和信息化部门进行核查。



深圳市科技创新委员会

深圳市国家自主创新示范区管理委员会 深圳市高新技术产业园区管理委员会 深圳市外国专家局

深圳市科技创新委员会2024年度集成电路 专项资助计划项目申请指南

一、申请内容

(一)对集成电路设计企业流片支持

- 1.多项目晶圆直接流片资助；
- 2.首次完成全掩膜工程产品流片资助。

(二)对集成电路设计企业购买IP(硅知识产权)支持

对于企业购买IP开展高端芯片研发,给予IP购买费用资助。

(三)对集成电路EDA设计工具研发支持

对于从事集成电路EDA设计工具研发的企业,给予EDA研发费用资助。

二、设定依据

(一)《深圳市人民政府关于印发进一步推动集成电路产业发展行动计划(2019-2023年)的通知》(深府〔2019〕28号);

(二)《深圳市人民政府办公厅关于印发加快集成电路产业发展若干措施的通知》(深府办规〔2019〕4号)。

(三)《深圳市科技计划项目管理办法》(深科技创新规〔2019〕1号);

(四)《深圳市科技研发资金管理办法》(深科技创新规〔2019〕2号);

三、支持强度与方式

支持强度:有数量限制,受科技研发资金年度总额控制。按照审计结果确定资助额度,本批次资助资金由2024年度市级财政资金和中央引导地方资金组成。

(一)对集成电路设计企业流片支持

1.对于使用多项目晶圆进行研发的企业,给予2022年多项目晶圆直接流片费用最高70%、年度总额不超过300万元的资助;

2.对于首次完成全掩膜工程产品流片的企业,给予2022年首次完成全掩膜工程产品流片费用最高50%、年度总额不超过500万元的资助。

(二)对集成电路设计企业购买IP支持

对于购买IP开展高端芯片研发的企业,给予2022年IP购买实际支付费用最高20%的资助,单个企业每年总额不超过500万元。

(三)对集成电路EDA设计工具研发支持

对于从事集成电路EDA设计工具研发的企业,给予2022年EDA研发费用实际支出最高30%的研发资助,总额不超过3000万元。

支持方式:事后资助。

四、申请条件

(一) 基本条件：

1. 申请单位应当是在深圳市(含深汕特别合作区,下同)依法注册,具备法人资格的企业;
2. 申请单位应在深圳具备研发的场地、设施、人员等;
3. 申请单位未被列入深圳市科研诚信异常名录和超期未申请验收名单;
4. 项目申请单位不存在未在规定期限内退回财政资金的情形;
5. 申请单位同一项目不得向市有关部门进行多头申请和重复申请;

(二) 专项条件：

1. 对集成电路设计企业流片支持

- (1) 申请单位应为集成电路设计企业;
- (2) 申请单位应为流片产品的知识产权所有方;
- (3) 项目未申请市发展改革委集成电路设计流片扶持计划。

2. 对集成电路设计企业购买IP支持

- (1) 申请单位应为集成电路设计企业;
- (2) 申请单位应为IP授权协议中的知识产权最终被授予方,且不再转售予第三方;
- (3) IP购买实际支付费用应为IP授权费用(不含版税费用)。

3. 对集成电路EDA设计工具研发支持

- (1) 申请单位应为从事集成电路EDA设计工具研发企业;
- (2) 研究开发活动应符合研发费用加计扣除政策范畴,且2022年度已向税务部门办理加计扣除申报。

五、申请材料

(一) 基本材料：

1. 2022年度纳税证明复印件;

2. 经注册会计师行业统一监管平台备案的含有二维验证码封面的2022年度研发投入专项审计报告复印件(报告应包含资产负债表、利润表、现金流量表等财务报表及附注、集成电路设计(或EDA设计工具研发)的研发场地、研发团队、软硬件设施、研究开发费用及经费来源等内容),研究开发费用计算范围和计算比例按照《关于完善研究开发费用税前加计扣除政策的通知》(财税〔2015〕119号)、《国家税务总局关于研发费用税前加计扣除归集范围有关问题的公告》(国家税务总局公告2017年第40号)等政策文件的规定执行;

3. 知识产权合规性声明原件;

4. 科研诚信承诺书原件;

5. 可以选择提供集成电路设计(或EDA设计工具研发)相关的知识产权证(例如专利和软件著作权等)证明材料复印件。

(二) 专项材料：

1. 对集成电路设计企业流片支持

- (1) 深圳市集成电路专项资助计划流片及IP资助项目申请书原件;

(2) 境内加工产品需提供:集成电路制造企业出具的2022年度产品加工发票及相应的加工订单、银行支付凭证、记账凭证等复印件;

境外加工产品需提供:加工订单、银行支付凭证、相应记账凭证、集成电路制造企业出具的2022年度产品加工交货invoice和交货箱单、相应清关凭证或完税证明复印件、申报数据的明细表(列明申报金额与合同金额(外币)、发票金额(外币)、付款金额(外币)的计算基础)。

(3)通过专业服务机构流片的申请单位需另外提供专业服务机构与申请单位签署的合同、发票、银行支付凭证等复印件;

(每个产品的加工订单、加工发票、银行支付凭证、清关凭证/完税证明应依次排序成一个文件,按照业务系统申报顺序标明序号。英文合同/订单请提供中文翻译件)

(4)产品版图缩略图A4版彩色打印件;

(5)首次全掩膜产品流片需提供该产品布图设计登记证书复印件。

2.对集成电路设计企业购买IP支持

(1)深圳市集成电路专项资助计划流片及IP资助项目申请书原件;

(2)2022年度购买IP的发票及相应的合同、银行支付凭证等复印件,购买进口IP的另需提供相应的完税证明复印件;

(3)合同不含IP原厂授权条款的,需提供申报企业与IP原厂直接签署的IP授权协议复印件。

(每个产品的合同/授权协议、发票、银行支付凭证、完税证明应依次排序成一个文件,按照业务系统申报顺序标明序号。英文合同/授权协议请提供中文翻译件)

3.对集成电路EDA设计工具研发支持

深圳市集成电路专项资助计划EDA设计工具研究开发资助项目申请书原件。

六、申请表格

本指南规定提交的表格,申请单位登录深圳市科技业务管理系统在线填报。

七、受理机关

(一)受理机关:深圳市科技创新委员会。

(二)受理时间:

网络填报受理时间:2023年9月11日-2023年10月29日(截止24:00)。

申请单位在网上填报受理时限内登录深圳市科技业务管理系统在线填报《深圳市集成电路专项资助计划项目申请书》,并在科技业务系统中上传其他申请材料的电子版扫描件(复印件需加盖申请单位公章后扫描)后提交审核(系统受理状态为“待窗口受理”)。

(三)书面材料提交时间:项目入库后提交纸质书面材料,具体提交时间和方式另行通知。

(四)联系电话:86168829、86168680

技术支持:86576087、86576088

八、决定机关

深圳市科技创新委员会。

九、办理程序

网上申报——电子材料初审——委托审计——项目审定——社会公示——项目入库——下达计划——提交纸质材料——拨付资金。

十、办理时限

成批处理。

十一、证件及有效期限

证 件:批准文件。

有效期限:申请单位在收到批准文件之日起1个月内办理资金拨付。

十二、法律效力

申请单位凭批准文件获得市科技研发资金资助。

十三、收费

不收费。

十四、年审或年检

无年审。

声明:申请人和申请单位对申请材料的合法性、真实性、准确性和完整性负责。对抄袭剽窃或弄虚作假的,我委核实后将不予立项或撤销项目,并纳入科研诚信异常名录,同时视情节轻重,依法依规追究相应责任。

市科技创新委从未委托任何单位或个人为项目申请单位代理资金申请事宜,申请单位必须自主申请。凡是购买、委托代写项目申请书的,或是提供虚假证明材料的,一经发现并查实,即视为骗取财政资金,一律不予受理、取消申请资格或撤销立项项目,并按规定严肃处理。市科技创新委将严格按照有关标准和程序受理,不收取任何费用。如有任何中介机构和个人假借市科技创新委领导和工作人员名义向申请单位收取费用的,请知情者即向市科技创新委举报。

项目申请单位需提交审计报告的,应当按照《深圳市科技计划项目管理办法》等规定,提供经注册会计师行业统一监管平台备案的含有二维验证码封面的审计报告。项目申请单位提供无防伪标识封面(未备案)或属于虚假防伪标识封面(未备案)的审计报告,市科技创新委员会不予采用。相关审计报告经核查认定属于虚假材料的,项目单位五年内不得申请市科技计划项目,市科技创新委员会将其列入科研诚信异常名录,并按照市政府失信联合惩戒有关规定予以处理。

特别说明:

1. 本指南中的多项目晶圆(MPW),指晶圆加工厂组织的、多个使用相同工艺的、不同的集成电路设计项目放在同一晶圆片上流片,每个设计项目样品数为数十颗或数百颗芯片;
2. 首次全掩膜工程产品流片(FullMask),指集成电路设计项目第一次全部层次制版流片,不包括改版;
3. IP(硅知识产权、集成电路IP核),指具有知识产权的、经过验证的、可重复利用、非独家授权的集成电路模块;
4. 专业服务机构特指专业从事流片服务、或从事包含流片服务业务的集成电路设计服务企业或单位;
5. 晶圆加工厂和掩膜厂出具的发票(境外为交货invoice)、IP供应商出具的发票(境外为交货invoice)均应为2022年度,其他相关票据不限时间但应符合逻辑。

IC设计后端概述

简单来说后端就是将 RTL 代码变为 GDS 版图,再交由晶圆厂(TSMC 台积电、SMIC 中芯国际等)生产制造。大多数 IC 设计公司都是 fabless 公司,做到 GDS 这一步就 OK。

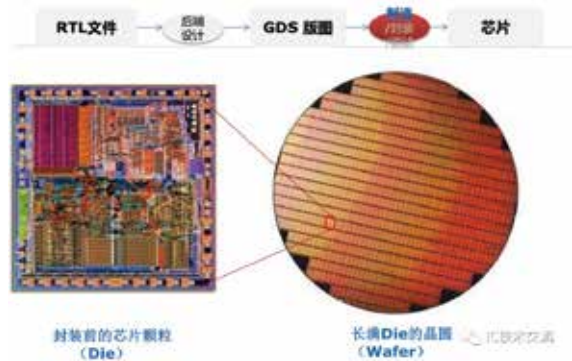


RTL: Register-Transfer Level. Verilog HDL 是一种硬件描述语言 (HDL:Hardware Description Language), 以文本形式来描述数字系统硬件的结构和行为的语言,用它可以表示逻辑电路图、逻辑表达式,还可以表示数字逻辑系统所完成的逻辑功能。Verilog HDL 和 VHDL 是世界上最流行的两种硬件描述语言,都是在 20 世纪 80 年代中期开发出来的。前者由 Gateway Design Automation 公司(该公司于 1989 年被 Cadence 公司收购)开发。两种 HDL 均为 IEEE 标准。

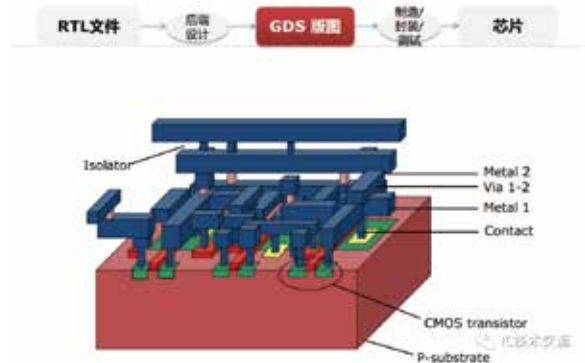
而 Verilog 可以从五个层次对电路(系统)进行描述,包括:系统级、算法级、寄存器传输级(即 RTL 级)、门级、开关级。平时用的最多的为 RTL 级,故 Verilog 代码也经常被称为 RTL 代码。

GDS: Geometry Data Standard.它是描述电路版图的一种格式:包括晶体管大小,数量,物理位置和尺寸信息,连接线的物理尺寸和位置信息等等。晶体管 + 连接线组成庞大的电路逻辑。一般 GDS 可通过 calibre, virtuoso, laker 等查看。GDS 交由晶圆厂后,在一片 wafer 上切割成多个小块,每块为一个 Die,就是芯片的最小核心。

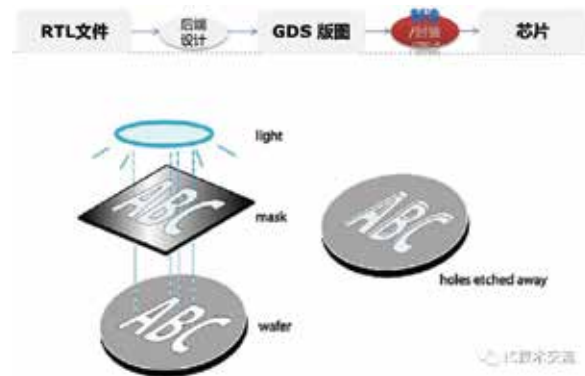
GDS 交由晶圆厂后,在一片 wafer 上切割成多个小块,每块为一个 Die,就是芯片的最小核心。



真实的芯片结构如下图所示。最底层是晶体管结构,晶体管接口和连接线的接触部分叫 Contact。Contact 上面是 Metal 金属层,金属层就是连接线,密密麻麻的晶体管很多,因此连线分了好几层才能走通,一层的连接线要穿到其它层就需要打过孔 (Via), 就像搭积木一样实现整个电路。每层连线之间都插有 Isolator 隔离。



至于电路的具体制作过程如下所示。特殊频率的光可以蚀刻电路,通过掩膜 (mask), 照射在 wafer 上, wafer 涂有光刻胶,被照射的地方被腐蚀,剩下的部分形成电路。



从 RTL 到 GDS 版图,要遵守以下要求,符合要求的 GDS 才能拿去流片:

- ① 功能,要和 RTL 的一样;

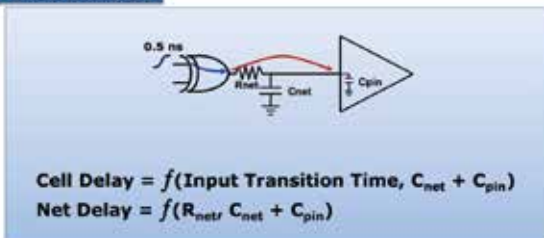
- ② 性能,要满足预定的性能目标;
- ③ 物理规则,Fab 能拿它正常制造;
- ④ 功耗 & 面积, IR Drop 满足要求, 功耗 & 面积要尽可能小;

后端设计

后端第一步是将 RTL+SDC 约束转换为 Netlist 网表,该步骤通过综合实现。通常工具会先将 RTL 转换为 GTECH 格式,然后再将 GTECH 转换为工艺库中的标准单元。整体来看是分两步走。转换为门级网表的过程中,综合工具会对 RTL 进行修改和优化,这些修改记录保存在 svf 文件.svf 文件在后面的 FM 形式验证中会被使用。转换后的 Netlist 要满足设置的约束(包括时序,面积,功耗)。此外逻辑综合要满足 sdc 约束下的 setup timing,不需要理会 hold timing。这一步常用的工具有 synopsys 的 Design Compiler 和 cadence 的 RTL Compiler。逻辑综合涉及时序问题,延迟计算使用线负载模型(RC 寄生参数)因为综合还没有涉及到布局布线,因此 timing 通常是不准的。下图给出了 delay 延迟的计算。

1.逻辑综合,从RTL到Gate-Level Netlist

dc如何计算delay呢?



- 需要计算Cell和Net的delay;
- Cell和Net的延时都与Net的寄生参数(parasitic parameter)有关,即net的R和C;

1.逻辑综合,从RTL到Gate-Level Netlist

此时还达不到物理实现,连接线的R和C,dc如何估算呢?

Example: Standard Format Wire-Load-Model

Name	:	160KGATES	
Location	:	ssc_core_slow	
Resistance	:	0.000271	← R per unit length
Capacitance	:	0.00017	← C per unit length
Area	:	0	
Slope	:	50.3104	← Extrapolation slope
Fanout	:		
Length	:		

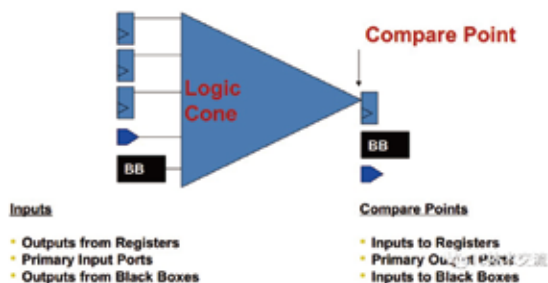
1	:	31.44	
2	:	81.75	
3	:	132.07	
4	:	182.38	
5	:	232.68	

Time Unit	:	ns	
Capacitive Load Unit	:	1.000000	
Pulling Resistance Unit	:	1kilo-ohm	

后端第二步是形式验证。线延迟的计算通过长度衡量,长度越长 RC 值越大,扇出能力越弱。综合工具吐出 Netlist 网表后,需要进行 FM 形式验证,比对 RTL 和网表在功能上是否等价,常用的工具有 synopsys 的 formality (fm) 和 Cadence 的 Conforml(lec)

2.形式验证

A design contains Logic Cones and Compare Points



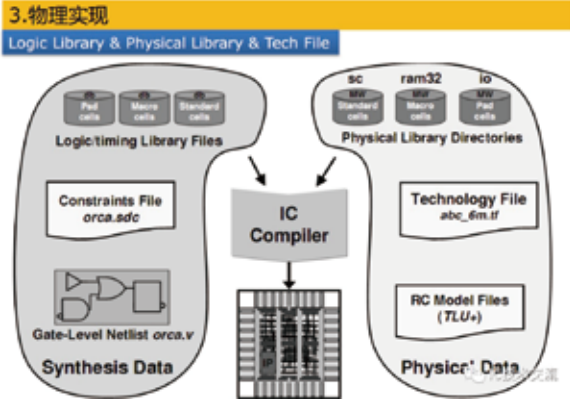
如果 FM 通过了,那么下一步进行物理实现:从 Netlist 到 GDS。通常需要经过以下步骤:

3.物理实现,从Netlist到GDS



综合之后网表和约束已经有了,下一步进行 ICC 布局布线。Design Setup & In 步骤中读入相关的网表、SDC 和所需的工艺库文件。Floorplan 步骤设置尺寸大小,摆放 port 位置,设置物理约束。Placement 步骤中由工具自动摆放 stdcel,进行时序、功耗、面积优化。Clock Tree Synthesis 构建时钟树,这之前时钟都是假设为理想的,从 clock port 到 reg/CK 的延时都为 0。对于时序分析而言,时钟树长出来之前所有的 Timing 问题其实都不准的,hold 无需关注,setup 需留有余量,因为布局布线的影响,时序会再次变化。Routing 步骤中将所有 net 用物理连接线实现。Chip Finish 步骤中为提高良率和解决物理规则违规对芯片做一些特殊处理。Write

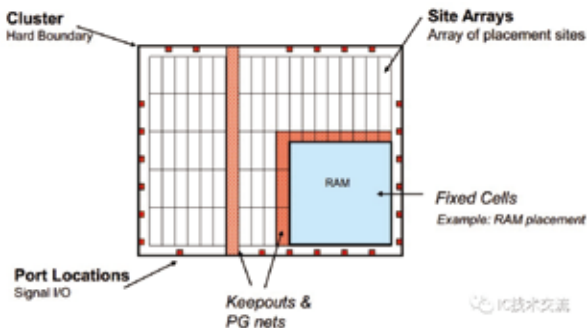
Design Out 将所需的文件导出。



上图中给出 ICC 执行所需的两类文件：

- 1、一类是 DC 综合时的文件，包括 library 的 db 文件、sdc 约束文件、综合后的网表文件；
- 2、一类是物理数据文件，包括 library 中 db 文件对应的 Milkyway 文件，技术文件 (abc_6m.tf)，RC 模型文件 (TLU+) 用于提取寄生参数计算线延迟。

floorplan 步骤：先摆放大的 mcro cell，然后摆放 stdcell，这期间需要固定 IO 位置。对于最底层晶体管的供电而言，M1 或 M2 与 Row 平行的会放置 metal，依次与 cell 的 VDD 和 VSS 相连，在 M6 或 M7 放置供电网，高层次的 layer 通过 via 与底层次的 Layer 相连，从而搭建整体的电源系统。这里需要说明一点，如果 M1 是横向的，那么 M2 必须是纵向的，以此减少线干扰，相隔两层的 metal 必须正交，不能平行（与硬件 PCB 多层布线很相似）。



floorplan 本质是包含三方面：PPA（功耗性能面积），这三方面需要折中处理。这之后就到了 Placement 阶段，工具会自动将每个 cell 放入 site 中。

在 Route 之前，ICC 做 place_opt 进行优化

时用 Virtual Route 估计连接线的长度和形状，以此根据 TLU+ 模型估计 RC 参数。事实上，在后面的 CTS 阶段，由于没有 route，所以也通过同样的方法估计 RCPlacement 阶段，需要满足 sdc 约束下的 setup timing，所以完成 place 后，要分析 Timing。

floorplan 和 placement 完成后。后面就到了 CTS (Clock Tree Synthesis, 时钟树综合) 阶段：

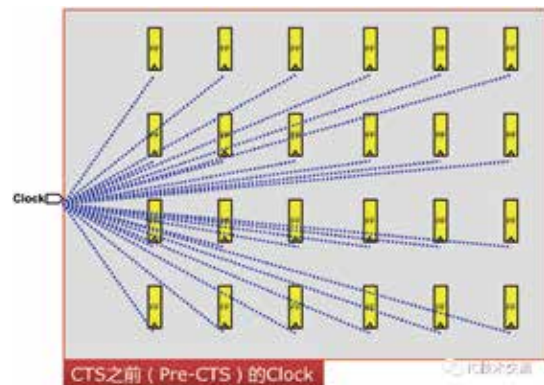
- 1、在此之前，从 synthesis 开始到 placement，Clock 都被假设为理想的，从 clock port 到 reg/CK 的延时都为 0；需要构建一棵 Clock Tree，把 Clock 信号从 port 送到 reg/CK；
- 2、Clock Tree 长好之后还需要对 timing 进行优化（这个阶段的优化叫做 PostCTS Opt），包括 setup 和 hold；

第一：place_opt 是基于理想时钟而对设计进行，长完 Clock Tree 之后的时刻和理想时钟存在区别；

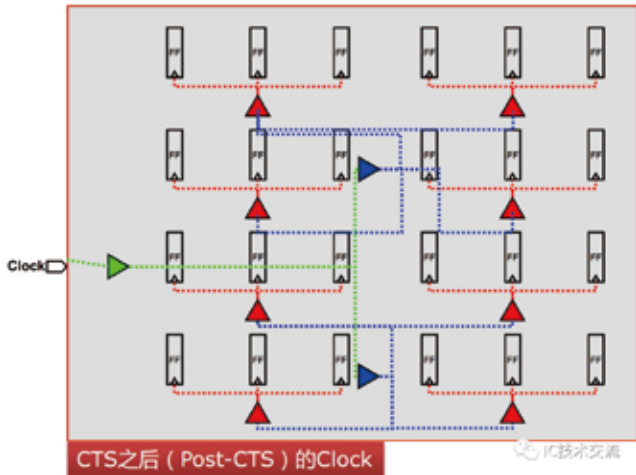
第二：CTS 的过程中工具会挪动原来的单元，导致 delay 有变化；

第三：需要修 Hold timing，因为在这之前一直没理会 Hold；

3、要完成对 Clock Net 的绕线(route)，这是因为 Clock Net 比普通的信号 Net 更重要，所以要先 route；



Pre-CTS 之前的 Clock 如上图所示，Post-CTS 之后的 Clock 如下图所示：

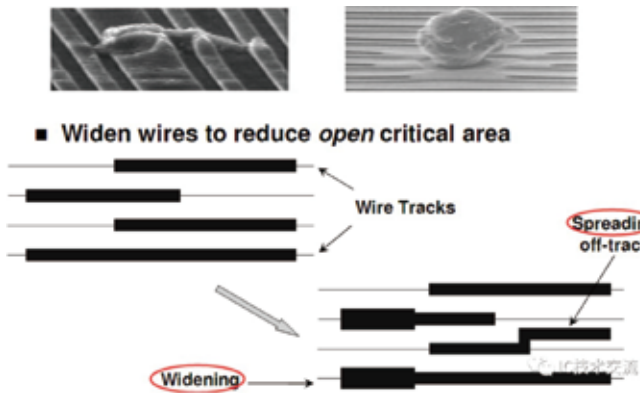


Post-CTS Opt 之后需要进行 timing 分析。此步骤通过后进行 Initial Route：对所有未绕线的 net 进行绕线。

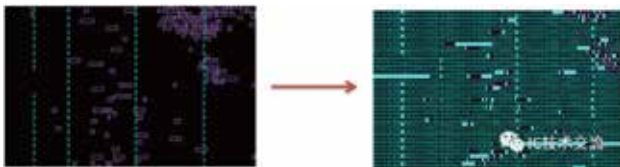
绕线之后 (PostRoute) 进行 Timing 优化：包括 setup 和 hold, 及 power 和 Area 优化：

在以上步骤满足时序要求之后, 就要为提高良率 (yield) 和解决物理规则违规做的工作：

Wire Spreading：顾名思义, 就是把线拓宽。如果一粒灰尘落在线上会影响导通性能甚至短路, 在没有很多线时可把线拓宽, 线间距拉大。



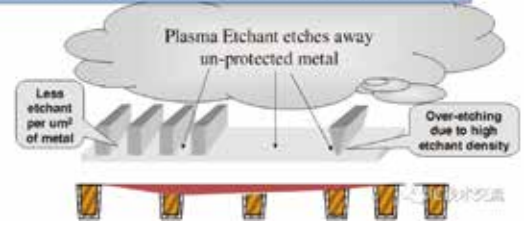
Redundant Via Insertion：在不同层的连接点 Via 处, 添加冗余 Via, 这样即使一个连接点坏掉了, 还有其它连接点。



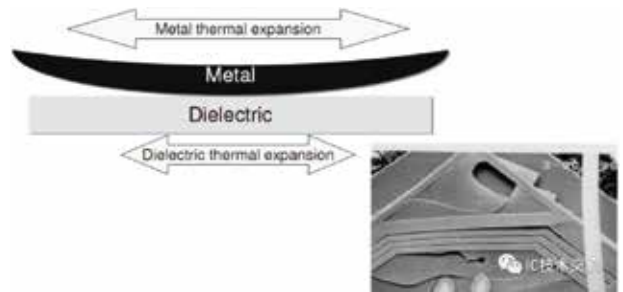
Filler Cell Insertion：填充没有实际功能的 cell。在未摆放 cell 的 row/site 中填充标准单元，

构建连续完整的 NWell/PWell。

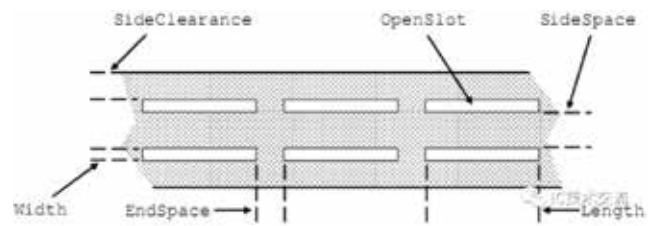
各处Metal的密度不一样, 在制造的过程中容易出现下面的问题：



Metal Fill Insertion：一般 Fab 会给出每平方 um 中最低 / 最高 metal 密度, 对于 metal 密度太低的地方, 电路蚀刻时会更严重, 导致 metal 变形, 导通性下降。一般解决办法是填充 Metal, 虽然这些 metal 没有实际用途。



Metal Slotting：对于二氧化硅上面覆盖的 Metal, 时间长了热胀冷缩可能两端会翘起来, 对于这种情况可在 metal 上挖洞。

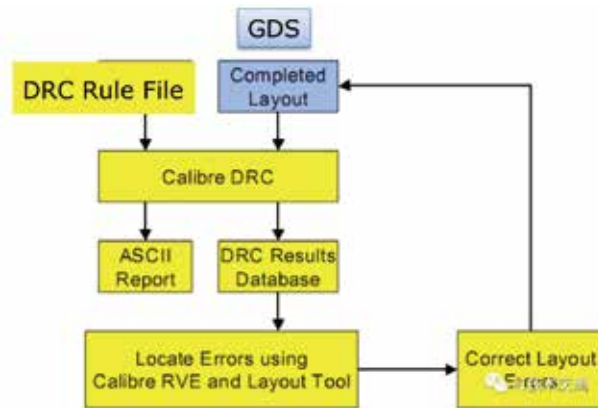


这一步也通常被称为 DFM (Design For Manufacturing)。

此外, 物理验证是必不可少的, Physical Verification：DRC, LVS 和 Antenna：

① DRC：物理规则检查 (Design Rule Check)

Fab 的要求, 会给 IC 后端一个 drc 的 rule 文件, 包含所有物理要求, 例如线宽度, 线间距, 相邻层的正交距离等。DRC 检查工具使用 Calibre DRC, 检查迭代过程如下如所示：

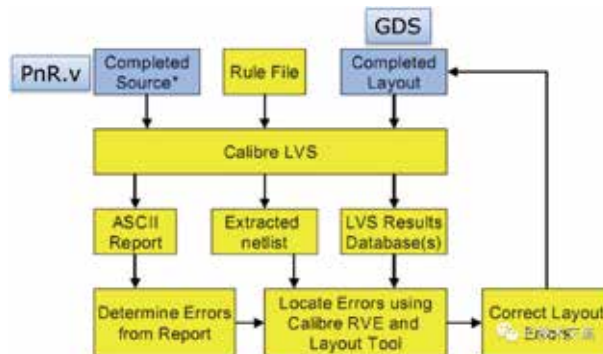


② Antenna 天线规则检查

放置在电磁场中的金属线(天线)产生电压,电压大到一定程度会损坏 MOSFET 栅极处的薄氧化物,将管子击穿。在加工过程中,随着金属丝长度的增加,施加在栅氧化层上的电压增加,天线规则定义了可接受的天线比率(与闸门连接的金属面积闸门组合面积或者与闸门连接的金属面积组合周长)。

③ LVS: Layout vs. Schematic

前两步形式验证无法保证 GDS 和布局布线后的网表等价,所以需要 LVS。



(来源: IC 技术交流)

IGBT介绍及原理

IGBT(绝缘栅双极型晶体管)是变频器的核心部件,在实际应用中最流行和最常见电子元器件是双极结型晶体管 BJT 和 MOS 管。



IGBT 实物图 + 电路符号图



可以把 IGBT 看作 BJT 和 MOS 管的融合体, IGBT 具有 BJT 的输入特性和 MOS 管的输出特性。

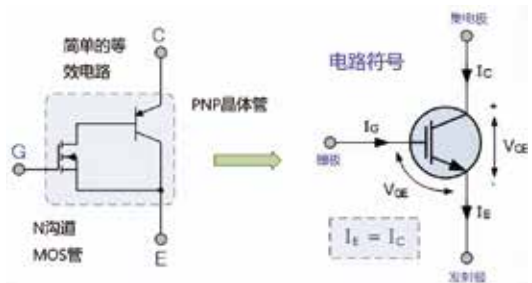
与 BJT 或 MOS 管相比,绝缘栅双极型晶体管 IGBT 优势在于它提供了比标准双极型晶体管更大的功率增益,以及更高工作电压和更低 MOS 管输入损耗。

1、什么是 IGBT

IGBT (Insulate-Gate Bipolar Transistor) 是一种三端半导体开关器件,可用于多种电子设备中的高效快速开关。主要用于放大器,用于通过脉冲宽度调制 (PWM) 切换 / 处理复杂的波形。

输入侧代表具有栅极端子的 MOS 管,输出侧代表具有集电极和发射极的 BJT。集电极和发射

极是导通端子，栅极是控制开关操作的控制端子。

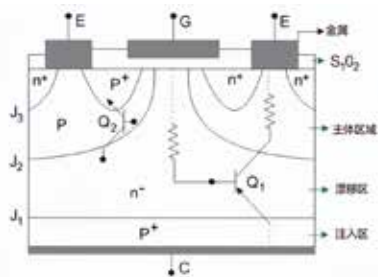


IGBT 的电路符号与等效电路图

2、IGBT 的内部结构

IGBT 有三个端子（集电极、发射极和栅极）都附有金属层。然而，栅极端子上的金属材料具有二氧化硅层。

IGBT 结构是一个四层半导体器件。四层器件是通过组合 PNP 和 NPN 晶体管来实现的，它们构成了 PNPN 排列。



IGBT 的内部结构图

如上图所示，最靠近集电极区的层是 (p+) 衬底，即注入区；在它上面是 N 漂移区域，包括 N 层。注入区将大部分载流子（空穴电流）从 (p+) 注入 N- 层。

漂移区的厚度决定了 IGBT 的电压阻断能力。漂移区域的上面是主体区域，它由 (p) 基板组成，靠近发射极，在主体区域内部，有 (n+) 层。

注入区域和 N 漂移区域之间的连接点是 J2。类似地，N- 区域和主体区域之间的结点是结点 J1。

注意：IGBT 的结构在拓扑上类似于“MOS”栅极的晶闸管。但是，晶闸管动作和功能是可抑制的，这意味着在 IGBT 的整个器件工作范围内只允许晶体管动作。IGBT 比晶闸管更可取，因为晶闸管等待过零的快速切换。

3、IGBT 的工作原理

IGBT 的工作原理是通过激活或停用其栅极端

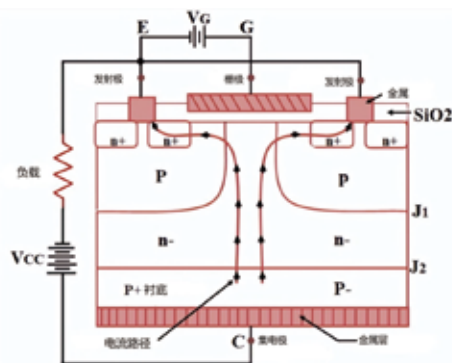
子来开启或关闭。

如果正输入电压通过栅极，发射极保持驱动电路开启。另一方面，如果 IGBT 的栅极端电压为零或略为负，则会关闭电路应用。

由于 IGBT 既可用作 BJT 又可用作 MOS 管，因此它实现的放大量是其输出信号和控制输入信号之间的比率。

对于传统的 BJT，增益量与输出电流与输入电流的比率大致相同，我们将其称为 Beta 并表示为 β 。

另一方面，对于 MOS 管，没有输入电流，因为栅极端子是主通道承载电流的隔离。我们通过将输出电流变化除以输入电压变化来确定 IGBT 的增益。



IGBT 结构图

如图所示，当集电极相对于发射极处于正电位时，N 沟道 IGBT 导通，而栅极相对于发射极也处于足够的正电位 ($>V_{GET}$)。这种情况导致在栅极正下方形成反型层，从而形成沟道，并且电流开始从集电极流向发射极。

IGBT 中的集电极电流 I_C 由两个分量 I_e 和 I_h 组成。 I_e 是由于注入的电子通过注入层、漂移层和最终形成的沟道从集电极流向发射极的电流。 I_h 是通过 $Q1$ 和体电阻 R_b 从集电极流向发射极的空穴电流。因此尽管 I_h 几乎可以忽略不计，因此 $I_C \approx I_e$ 。

在 IGBT 中观察到一种特殊现象，称为 IGBT 的闩锁。这发生在集电极电流超过某个阈值 (ICE)。在这种情况下，寄生晶闸管被锁定，栅极端子失去对集电极电流的控制，即使栅极电位降低到 V_{GET} 以下，IGBT 也无法关闭。

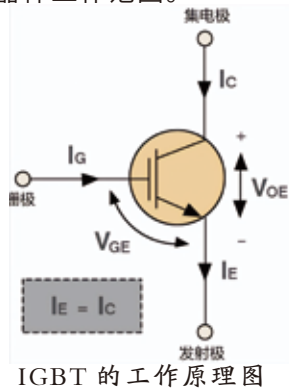
现在要关断 IGBT，我们需要典型的换流电路，

例如晶闸管强制换流的情况。如果不尽快关闭设备,可能会损坏设备。

$$I_c = I_e + I_b$$

集电极电流公式

下图很好地解释 IGBT 的工作原理,描述了 IGBT 的整个器件工作范围。



IGBT 的工作原理图

IGBT 仅在栅极端子上有电压供应时工作,它是栅极电压,即 V_G 。如上图所示,一旦存在栅极电压 (V_G),栅极电流 (I_G) 就会增加,然后它会增加栅极 - 发射极电压 (V_{GE})。

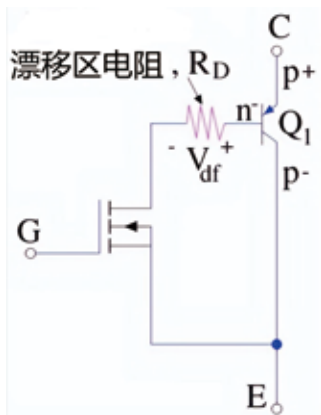
因此,栅极 - 发射极电压增加了集电极电流 (I_C)。因此,集电极电流 (I_C) 降低了集电极到发射极电压 (V_{CE})。

注意: IGBT 具有类似于二极管的电压降,通常为 2V 量级,仅随着电流的对数增加。

IGBT 使用续流二极管传导反向电流,续流二极管放置在 IGBT 的集电极 - 发射极端子上。

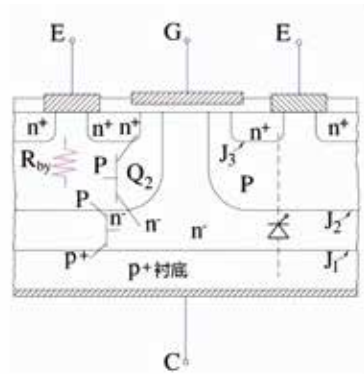
4、IGBT 的等效电路

IGBT 的近似等效电路由 MOS 管和 PNP 晶体管 (Q_1) 组成,考虑到 n- 漂移区提供的电阻,电阻 R_d 已包含在电路中,如下图所示:



IGBT 的近似等效电路

仔细检查 IGBT 的基本结构,可以得出这个等效电路,基本结构如下图所示:



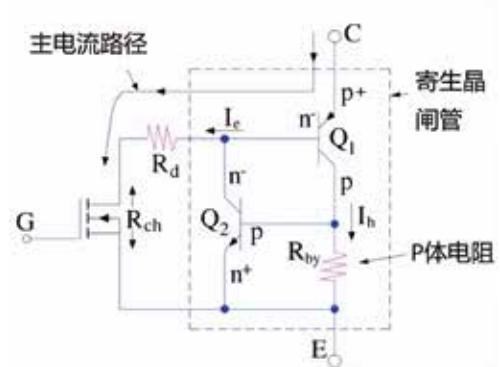
等效电路图的基本结构

穿通 IGBT、PT-IGBT: 穿通 IGBT、PT-IGBT 在发射极接触处具有 N+ 区。

观察上面显示 IGBT 的基本结构,可以看到从集电极到发射极存在另一条路径,这条路径是集电极、p+、n-、p (n 通道)、n+ 和发射极。

因此,在 IGBT 结构中存在另一个晶体管 Q_2 作为 n - pn+, 因此,我们需要在近似等效电路中加入这个晶体管 Q_2 以获得精确的等效电路。

IGBT 的精确等效电路如下所示:



IGBT 的精确等效电路图

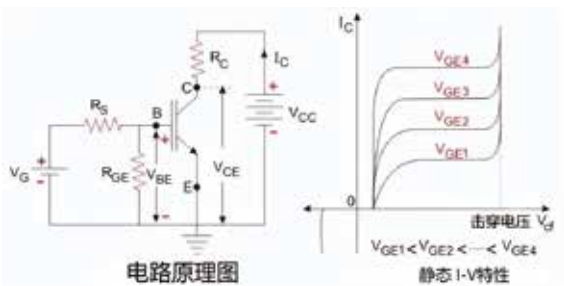
该电路中的 R_{by} 是 p 区对空穴电流的流动提供的电阻。

众所周知,IGBT 是 MOS 管的输入和 BJT 的输出组合,它具有与 N 沟道 MOS 管和达林顿配置的 PNP BJT 等效的结构,因此也可以加入漂移区的电阻。

5、IGBT 的特性 -- 静态 VI 特性

下图显示了 n 沟道 IGBT 的静态 VI 特性以及标有参数的电路图,该图与 BJT 的图相似,只是图中保持恒定的参数是 V_{GE} , 因为 IGBT 是电压控

制器件,而 BJT 是电流控制器件。



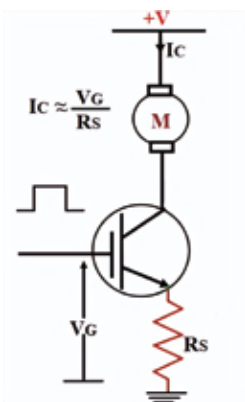
IGBT 的静态特性图

当 IGBT 处于关闭模式时 (V_{CE} 为正且 $V_{GE} < V_{GET}$), 反向电压被 J 2 阻断, 当它被反向偏置时, 即 V_{CE} 为负, J 1 阻断电压。

6、IGBT 的特性 -- 开关特性

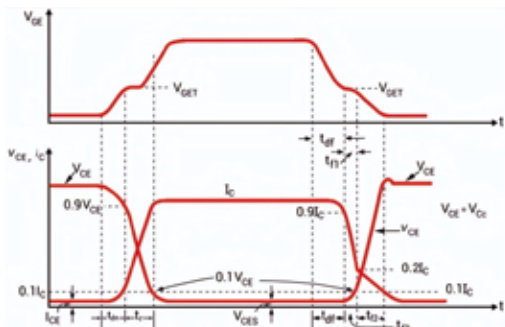
IGBT 是电压控制器件, 因此它只需要一个很小的电压到栅极即可保持导通状态。

由于是单向器件, IGBT 只能在从集电极到发射极的正向切换电流。IGBT 的典型开关电路如下所示, 栅极电压 V_G 施加到栅极引脚以从电源电压 $V+$ 切换电机 (M)。电阻 R_s 大致用于限制通过电机的电流。



IGBT 的典型开关电路

下图显示了 IGBT 的典型开关特性。



IGBT 的典型开关特性

01 导通时间 (t_{on})

通常由延迟时间 (t_{dn}) 和上升时间 (t_r) 两

部分组成。

02 延迟时间 (t_{dn})

定义为集电极电流从漏电流 I_{CE} 上升到 $0.1 I_C$ (最终集电极电流) 和集电极发射极电压从 V_{CE} 下降到 $0.9 V_{CE}$ 的时间。

03 上升时间 (t_r)

定义为集电极电流从 $0.1 I_C$ 上升到 I_C 以及集电极 - 发射极电压从 $0.9 V_{CE}$ 下降到 $0.1 V_{CE}$ 的时间。

04 关断时间 (t_{off})

由三个部分组成, 延迟时间 (t_{df})、初始下降时间 (t_{f1}) 和最终下降时间 (t_{f2})。

05 延迟时间 (t_{df})

定义为集电极电流从 I_C 下降到 $0.9 I_C$ 并且 V_{CE} 开始上升的时间。

06 初始下降时间 (t_{f1})

集电极电流从 $0.9 I_C$ 下降到 $0.2 I_C$ 并且集电极发射极电压上升到 $0.1 V_{CE}$ 的时间。

07 最终下降时间 (t_{f2})

定义为集电极电流从 $0.2 I_C$ 下降到 $0.1 I_C$ 并且 $0.1 V_{CE}$ 上升到最终值 V_{CE} 的时间。

$$t_{off} = t_{df} + t_{f1} + t_{f2}$$

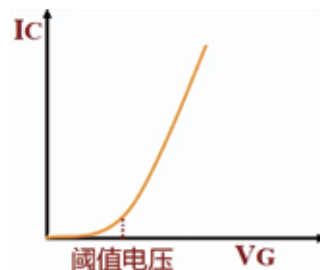
关断时间公式

$$t_{on} = t_{dn} + t_r$$

导通时间公式

7、IGBT 的特性 -- 输入特性

下图可以理解 IGBT 的输入特性。开始, 当没有电压施加到栅极引脚时, IGBT 处于关闭状态, 没有电流流过集电极引脚。当施加到栅极引脚的电压超过阈值电压时, IGBT 开始导通, 集电极电流 I_G 开始在集电极和发射极端子之间流动。集电极电流相对于栅极电压增加, 如下图所示:



IGBT 的输入特性图

8、IGBT 的特性 -- 输出特性

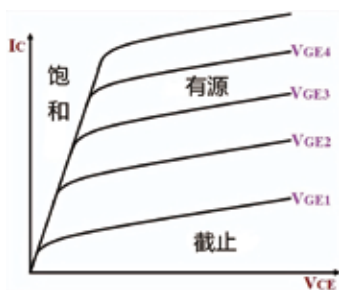
由于 IGBT 的工作依赖于电压，因此只需要在栅极端子上提供极少量的电压即可保持导通。

IGBT 与双极功率晶体管相反，双极功率晶体管需要在基极区域有连续的基极电流流动以保持饱和。IGBT 是单向器件，这意味着它只能在“正向”（从集电极到发射极）开关。

IGBT 与具有双向电流切换过程的 MOS 管正好相反。MOS 管正向可控，反向电压不受控制。

在动态条件下，当 IGBT 关闭时，可能会经历门锁电流，当连续导通状态驱动电流似乎超过临界值时，这就是门锁电流。

此外，当栅极 - 发射极电压低于阈值电压时，会有少量漏电流流过 IGBT，此时，集电极 - 发射极电压几乎等于电源电压，因此，四层器件 IGBT 工作在截止区。



IGBT 的输出特性图

IGBT 的输出特性分为三个阶段：

第一阶段：当栅极电压 V_{GE} 为零时，IGBT 处于关断状态，这称为截止区。

第二阶段：当 V_{GE} 增加时，如果它小于阈值电压，那么会有很小的漏电流流过 IGBT，但 IGBT 仍然处于截止区。

第三阶段：当 V_{GE} 增加到超过阈值电压时，IGBT 进入有源区，电流开始流过 IGBT。如上图所示，电流将随着电压 V_{GE} 的增加而增加。

9、IGBT 的优缺点

IGBT 作为一个整体兼有 BJT 和 MOS 管的优点。

1、优点

- 具有更高的电压和电流处理能力。
- 具有非常高的输入阻抗。
- 可以使用非常低的电压切换非常高的电流。
- 电压控制装置，即它没有输入电流和低输入损耗。
- 栅极驱动电路简单且便宜，降低了栅极驱动的要求
- 通过施加正电压可以很容易地打开它，通过施加零电压或负电压可以很容易地关闭它。
- 具有非常低的导通电阻。
- 具有高电流密度，使其能够具有更小的芯片尺寸。

- 具有比 BJT 和 MOS 管更高的功率增益。
- 具有比 BJT 更高的开关速度。
- 可以使用低控制电压切换高电流电平。
- 由于双极性质，增强了传导性。
- 更安全

2、缺点

- 开关速度低于 MOS 管。
- 单向的，在没有附加电路的情况下无法处理 AC 波形。
- 不能阻挡更高的反向电压。
- 比 BJT 和 MOS 管 更昂贵。
- 类似于晶闸管的 PNP 结构，它存在锁存问题。
- 与 PMOS 管 相比，关断时间长。
- 类似于晶闸管的 PNP 结构，它存在锁存问题。
- 与 PMOS 管 相比，关断时间长。

(来源：技成培训)



浙江省半导体行业协会

一、协会简介

浙江省半导体行业协会成立于2001年12月23日，是由浙江省内从事半导体领域（集成电路、半导体分立器件、LED、半导体材料及太阳能光伏、半导体装备和其它产业链配套等）教学、科研、设计、生产制造及推广应用服务、在省内外具有一定知名度的企事业单位联合发起并由业内许多企事业单位自愿参加组织起来，不以赢利为目的、依法登记、具有独立法人资格的社会团体。

作为政府和企事业单位之间的桥梁与纽带，为浙江省内半导体行业服务，为广大的半导体企事业单位服务，协助政府部门做好行业管理的服务工作，推动浙江半导体产业又好又快发展。

二、服务内容

（一）行业咨询服务：接受会员单位上门、电话、网络即时通讯等多种方式的咨询服务；可为企业重大项目提供技术评估咨询、项目决策咨询等服务，必要时可提供专题报告；每年为会员单位提供《浙江省半导体行业发展报告》一份。

（二）行业交流服务：协助会员单位开展本地区、国内外同行业及相关行业之间的联系与交流活动，以研讨会、座谈会等多种形式广泛开展市场、技术、人才、专业等交流活动，拓展会员单位的服务空间。

（三）政府对接服务：协助企业向行业主管部门反映企业的意见和建议，做好企业与政府之间的桥梁角色；协助企业申报政府项目，享受国家优惠政策核查等服务工作，做好各类调研，必要时可为企业开具符合政府有关要求的情况说明（细分领域数据需由企业提供）。

（四）科技成果服务：促进会员单位科技成果与地方经济相结合，拓展产品市场和企业商机，谋求会员利益最大化。每年开展会员单位优秀产品的评选推荐活动；为会员单位提供产品供需对接信息，协助上下游产业资源互通。

（五）信息互享服务：与国内外同行业在产品技术、专业人才、市场经营等方面信息共享及开展业务合作，及时为会员单位提供国内外和浙江省产业发展动态和资讯，宣传、推广会员单位相关信息。

（六）行业培训服务：每年为会员举办年会暨高峰论坛，为会员单位提供高质量行业学习机会；根据会员单位的需求，不定期举办行业技术、人才、管理、政策、知识产权等方面的培训。

（七）展会和考察服务：提供会员单位行业相关的展会资讯，根据企业需求推荐参展或组织观展，以及参加产业与技术发展论坛，会员单位能享受一些展会布展优惠；根据需求组织会员单位进行国内外各种考察与展览活动，为企业开拓国内市场。

（八）投融资服务：协助企业进行项目落地投资服务，可为企业与招商地市协调方案，组织调研活动；协助企业与大基金、融资租赁等金融公司进行对接，为企业提供资金。

欢迎广大半导体企业加入协会！

联系人：萧 璿

联系方式：17300929113 854852842@qq.com

地址：杭州市滨江区六和路368号海创基地北楼B4068



杭州国家集成电路设计产业化基地有限公司
杭州国家集成电路设计企业孵化器有限公司

地址：杭州市滨江区六和路368号海创基地北楼四楼B4092室
投稿：incub@hicc.org.cn
官网：www.hicc.org.cn
电话：86- 571- 86726360
传真：86- 571- 86726367